

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-031502  
 (43)Date of publication of application : 28.01.2000

(51)Int.CI. H01L 29/84  
 G01P 15/125

(21)Application number : 10-369840  
 (22)Date of filing : 25.12.1998

(71)Applicant : DENSO CORP  
 (72)Inventor : MUTO KOJI  
 FUKADA TAKESHI  
 TERADA MASAKAZU  
 SUGITO YASUNARI  
 KARESUE MASAKAZU  
 YOSHIHARA SHINJI  
 OZOE SHOJI  
 FUJINO SEIJI  
 SAKAI MINEICHI  
 MURATA MINORU  
 TAKEUCHI YUKIHIRO  
 AOYAMA MASANORI

(30)Priority

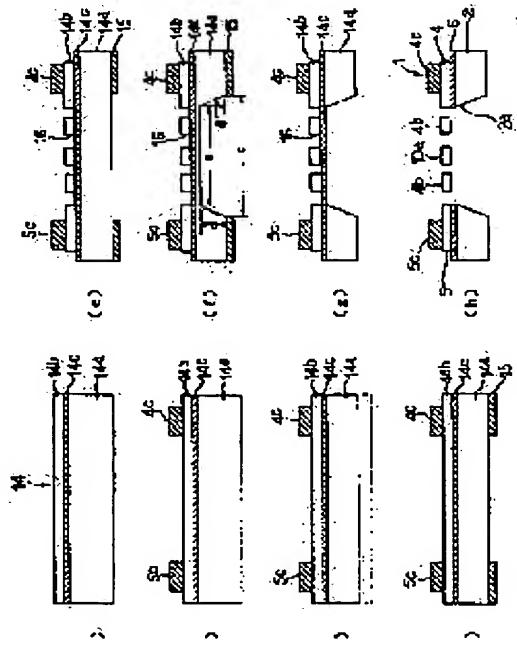
Priority number : 10126288 Priority date : 08.05.1998 Priority country : JP

## (54) MANUFACTURE OF SEMICONDUCTOR DYNAMIC QUANTITY SENSOR, AND SEMICONDUCTOR DYNAMIC QUANTITY SENSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To materialize the rise of yield and the rise of properties, by preventing such state of things that the phenomena of a mobile electrode and a fixed electrode stick to each other from occurring in the stage of middle of manufacture.

**SOLUTION:** The basic structure of a semiconductor acceleration sensor 1 is completed, by (a) preparing an SOI substrate 14, where a single crystal silicon film 14b is provided through a silicon oxide film 14c on a single crystal silicon wafer 14a, and then, by executing an electrode pad formation process (b) which forms electrode pads 4c and 5c, a dimension adjustment process (c) which grinds and polishes a single crystal silicon film 14b, a mask formation process (d) which forms a mask 15, a trench formation process (e) which forms a trench 16 reaching a silicon oxide film 14c in a single crystal silicon film 14b, a first etching process (f) which wet etches the single crystalline silicon



wafer 14a, leaving a specified thickness, a second etching process (g) which removes the above remaining single crystal silicon wafer 14a by dry etching, and a third etching process (h) which removes the silicon oxide film 14c by dry etching.

---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31502

(P2000-31502A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl.<sup>7</sup>

H 01 L 29/84

G 01 P 15/125

識別記号

F I

H 01 L 29/84

G 01 P 15/125

マーク一(参考)

Z

審査請求 未請求 請求項の数30 O.L (全24頁)

(21)出願番号 特願平10-369840

(71)出願人 000004260

(22)出願日 平成10年12月25日(1998.12.25)

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 武藤 浩司

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(31)優先権主張番号 特願平10-126288

(72)発明者 深田 裕

(32)優先日 平成10年5月8日(1998.5.8)

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(33)優先権主張国 日本 (JP)

(74)代理人 100071135

弁理士 佐藤 強

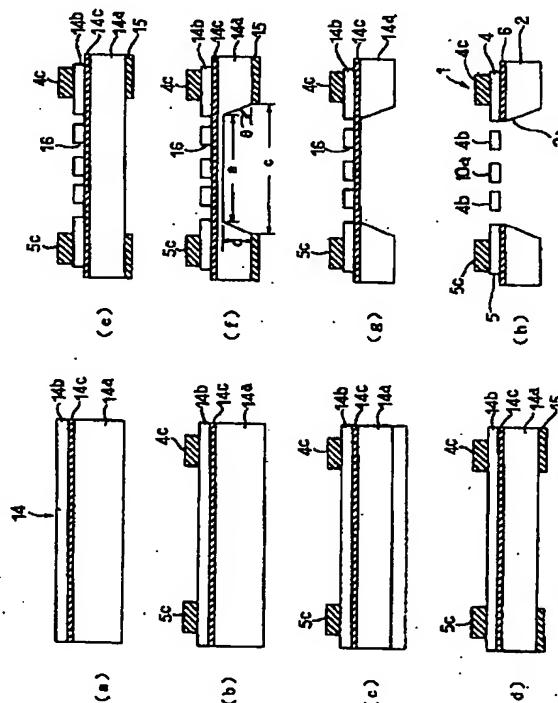
(54)【発明の名称】 半導体力学量センサの製造方法及び半導体力学量センサ

最終頁に続く

(57)【要約】

【課題】 製造途中の段階で可動電極及び固定電極が互いに張り付く現象が発生する事態を防止して歩留まりの向上を実現すること、特性の向上を実現すること。

【解決手段】 (a) 単結晶シリコンウェハ14a上に単結晶シリコン薄膜14bをシリコン酸化膜14cを介して設けたSOI基板14を用意し、(b) 電極パッド4c、5cを形成する電極パッド形成工程、(c) 単結晶シリコン薄膜14bを研削・研磨する寸法調整工程、(d) マスク15を形成するマスク形成工程、(e) 単結晶シリコン薄膜14bにシリコン酸化膜14cに達するトレンチ16を形成するトレンチ形成工程、(f) 単結晶シリコンウェハ14aを所定膜厚を残してウエットエッティングする第1のエッティング工程、(g) 上記残存単結晶シリコンウェハ14aをドライエッティングにより除去する第2のエッティング工程、(h) シリコン酸化膜14cをドライエッティングにより除去する第3のエッティング工程を実行し、半導体加速度センサ1の基本構造を完成させる。



## 【特許請求の範囲】

【請求項1】 絶縁層で分離された複数の半導体層を有する半導体基板に対し、その両面から所望の層を適宜にエッティングして除去する加工を施すことにより、力学量検出のための可動部を形成するようにした半導体力学センサの製造方法において、

前記可動部を形成する際には、少なくとも最終的に当該可動部を画定するための可動部画定工程を気相雰囲気で行うように構成したことを特徴とする半導体力学センサの製造方法。

【請求項2】 前記可動部を画定する際にエッティングする層は、前記半導体層、絶縁層及び前記半導体基板上に形成される保護膜の何れかであることを特徴とする請求項1記載の半導体力学センサの製造方法。

【請求項3】 絶縁層で分離された複数の半導体層を有する半導体基板に対し選択的なエッティング加工を施すことにより、力学量検出のための可動部を形成するようにした半導体力学センサの製造方法において、

前記半導体基板の一方の半導体層にトレンチを形成するトレンチ形成工程と、

前記半導体基板の他方面の半導体層のうち少なくとも前記トレンチに対応した部分を適宜除去する半導体層除去工程と、

前記半導体基板の他方面の半導体層を除去することにより露出する絶縁層を気相雰囲気で適宜除去して前記半導体基板の所望部位に前記可動部を画定する可動部画定工程とを実行することを特徴とする半導体力学センサの製造方法。

【請求項4】 前記トレンチが形成された半導体層を覆った状態の表面保護膜を形成する表面保護工程を実行すると共に、

前記可動部画定工程では、前記半導体基板の他方面の半導体層を除去することにより露出する絶縁層を適宜除去した後に、前記表面保護膜を気相雰囲気で除去することにより、前記半導体基板の所望部位に前記可動部を画定するように構成されていることを特徴とする請求項3記載の半導体力学センサの製造方法。

【請求項5】 絶縁層で分離された複数の半導体層を有する半導体基板に対し選択的なエッティング加工を施すことにより、力学量検出のための可動部を形成するようにした半導体力学センサの製造方法において、

前記半導体基板の一方の半導体層に第1のトレンチ及びこの第1のトレンチより浅い形状の第2のトレンチを形成するトレンチ形成工程と、

前記半導体基板の他方面の半導体層のうち少なくとも前記第2のトレンチに対応した部分を適宜除去する半導体層除去工程と、

前記半導体基板の他方面の半導体層を除去することにより露出する絶縁層を適宜除去すると共に、前記第2のトレンチの底部に相当した半導体層を気相雰囲気で除去し

て前記半導体基板の所望部位に前記可動部を画定する可動部画定工程とを実行することを特徴とする半導体力学センサの製造方法。

【請求項6】 前記第1及び第2のトレンチが形成された半導体層を覆った状態の表面保護膜を形成する表面保護工程を実行すると共に、

前記可動部画定工程では、前記半導体基板の他方面の半導体層を除去することにより露出する絶縁層を適宜除去すると共に、前記第2のトレンチの底部に相当した半導体層を除去した後に、前記表面保護膜を気相雰囲気で除去することにより、前記半導体基板の所望部位に前記可動部を画定するように構成されていることを特徴とする請求項5記載の半導体力学センサの製造方法。

【請求項7】 前記可動部画定工程に先立って、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行することを特徴とする請求項1ないし6の何れかに記載の半導体力学センサの製造方法。

【請求項8】 前記半導体基板のエッティングを行うのに先立って、当該半導体基板における前記可動部が形成される半導体層と反対側の半導体層を所定の厚さ寸法となるまで研削・研磨する厚さ寸法調整工程を実行することを特徴とする請求項1ないし7の何れかに記載の半導体力学センサの製造方法。

【請求項9】 支持基板上に電気的に絶縁された状態で支持され、力学量の作用に応じて変位する半導体材料製の可動電極と、

前記支持基板上に電気的に絶縁された状態で支持され、前記可動電極と所定空隙を存して対向配置された半導体材料製の固定電極とを備えた半導体力学センサの製造方法において、

最終的に前記支持基板となる第1半導体層上に絶縁層を介して第2半導体層を積層した状態の半導体基板を用意し、

前記第2半導体層に前記可動電極及び固定電極を画定するためのトレンチを前記絶縁層に達するように形成するトレンチ形成工程と、

前記第1半導体層における前記可動電極及び固定電極の形成領域に対応した部分を前記絶縁層と反対側の面からウエットエッティングすると共に、そのエッティング領域の第1半導体層の膜厚が予め設定した膜厚となった時点でエッティング停止する第1のエッティング工程と、

この第1のエッティング工程の実行に応じて残存された前記設定膜厚の第1半導体層を気相雰囲気でエッティングすることにより除去して前記絶縁層を露出させる第2のエッティング工程と、

前記絶縁層を気相雰囲気でのエッティングにより除去することにより、前記トレンチと連続した状態の開口部を形成して前記可動電極及び固定電極を形成する第3のエッティング工程とを実行することを特徴とする半導体力学センサの製造方法。

【請求項10】 前記半導体基板として、前記第1半導体層における前記絶縁層との界面部分に所定深さに達する不純物高濃度層を予め形成した状態のものを使用し、前記第1のエッティング工程では、前記不純物高濃度層に対するエッティングレートが相対的に小さくなるエッティング液を使用することにより、前記第1半導体層のエッティングを上記不純物高濃度層が露出した時点で停止させることを特徴とする請求項9記載の半導体力学量センサの製造方法。

【請求項11】 前記第1のエッティング工程では、前記第2半導体層中に空乏層が形成されるよう前記第1半導体層にバイアス電圧を印加した状態でウエットエッティングを行い、上記空乏層が露出した時点でエッティング停止することを特徴とする請求項9記載の半導体力学量センサの製造方法。

【請求項12】 前記第2のエッティング工程でのエッティングレートと、前記第3のエッティング工程でのエッティングレートとの差を小さく設定することを特徴とする請求項9ないし11の何れかに記載の半導体力学量センサの製造方法。

【請求項13】 前記第3のエッティング工程に先立って、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行することを特徴とする請求項9ないし12の何れかに記載の半導体力学量センサの製造方法。

【請求項14】 前記第1のエッティング工程は、異方性エッティングにより行われることを特徴とする請求項9ないし13の何れかに記載の半導体力学量センサの製造方法。

【請求項15】 支持基板上に電気的に絶縁された状態で支持され、力学量の作用に応じて変位する半導体材料性の可動電極と、

前記支持基板上に電気的に絶縁された状態で支持され、前記可動電極と所定空隙を存して対向配置された半導体材料製の固定電極とを備えた半導体力学量センサの製造方法において、

最終的に前記支持基板となる第1半導体層上に絶縁層を介して第2半導体層を積層した状態の半導体基板を用意し、

前記第2半導体層に前記可動電極及び固定電極を画定するためのトレンチを前記絶縁層に達するように形成するトレンチ形成工程と、

前記第1半導体層における前記可動電極及び固定電極の形成領域に対応した部分を前記絶縁層と反対側の面から気相雰囲気でエッティングすることにより前記絶縁層を露出させる第1のエッティング工程と、

前記絶縁層を気相雰囲気でのエッティングにより除去することにより、前記トレンチと連続した状態の開口部を形成して前記可動電極及び固定電極を形成する第2のエッティング工程とを実行することを特徴とする半導体力学量

センサの製造方法。

【請求項16】 前記第1のエッティング工程は、異方性ドライエッティングにより行われることを特徴とする請求項15記載の半導体力学量センサの製造方法。

【請求項17】 前記第1のエッティング工程でのエッティングレートと第2のエッティング工程でのエッティングレートの差を小さく設定したことを特徴とする請求項15または16記載の半導体力学量センサの製造方法。

【請求項18】 前記第2のエッティング工程に先立って、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行することを特徴とする請求項15ないし17の何れかに記載の半導体力学量センサの製造方法。

【請求項19】 支持基板上に電気的に絶縁された状態で支持され、力学量の作用に応じて変位する半導体材料性の可動電極と、

前記支持基板上に電気的に絶縁された状態で支持され、前記可動電極と所定空隙を存して対向配置された半導体材料製の固定電極とを備えた半導体力学量センサの製造方法において、

前記可動電極及び固定電極を画定するためのトレンチパターンを、トレンチ幅が大きい部分とこれに比してトレンチ幅が十分に小さい部分を備えた状態に設定した上で、

最終的に前記支持基板となる第1半導体層上に絶縁層を介して第2半導体層を積層した状態の半導体基板を用意し、

前記第2半導体層上に前記トレンチパターンに対応した形状の異なる幅の溝パターンを有する状態のマスクを形成するマスク形成工程と、

前記第2半導体層に前記マスクを利用したエッティング加工を施すと共に、前記溝パターンの幅が大きい部分に形成される第1のトレンチが前記絶縁層に達した時点で上記エッティング加工を停止することにより、前記溝パターンの幅が小さい部分に形成される第2のトレンチの底部に上記第2半導体層を残存させた状態とするトレンチ形成工程と、

前記第1半導体層における前記可動電極及び固定電極の形成領域に対応した部分を前記絶縁層と反対側の面からエッティングして前記絶縁層を露出させる第1のエッティング工程と、

前記絶縁層を気相雰囲気でのエッティングにより除去する第2のエッティング工程と、

前記第2のトレンチの底部に残存した第2半導体層をドライエッティングにより除去することにより、そのトレンチと連続した状態の開口部を形成して前記可動電極及び固定電極を形成する第3のエッティング工程とを実行することを特徴とする半導体力学量センサの製造方法。

【請求項20】 前記トレンチ形成工程でのエッティングは、異方性ドライエッティングであることを特徴とする請

求項19記載の半導体力学量センサの製造方法。

【請求項21】前記第2のエッティング工程でのエッティングレートと第3のエッティング工程でのエッティングレートの差を小さく設定したことを特徴とする請求項19または20記載の半導体力学量センサの製造方法。

【請求項22】前記第3のエッティング工程に先立つて、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行することを特徴とする請求項19ないし21の何れかに記載の半導体力学量センサの製造方法。

【請求項23】前記第1のエッティング工程に先立つて、前記半導体基板の第1半導体層を所定の厚さ寸法となるまで研削・研磨する厚さ寸法調整工程を実行することを特徴とする請求項9ないし22の何れかに記載の半導体力学量センサの製造方法。

【請求項24】前記トレンチ形成工程の実行後に、前記第2半導体層の表面側を、容易に剥離可能な材料より成る表面保護膜で覆った状態とする表面保護工程を実行することを特徴とする請求項9ないし23の何れかに記載の半導体力学量センサの製造方法。

【請求項25】前記表面保護膜は、半導体基板を所定のセンサチップ形状に切断するダイシング工程の実行後に除去されることを特徴とする請求項24記載の半導体力学量センサの製造方法。

【請求項26】前記可動電極及び固定電極を形成する工程を実行した後に、それら可動電極及び固定電極に対してそれらの裏面側からドライエッティングを施す補助エッティング工程を実行することを特徴とする請求項9ないし25の何れかに記載の半導体力学量センサの製造方法。

【請求項27】前記補助エッティング工程は、等方性エッティングにより行われることを特徴とする請求項26記載の半導体力学量センサの製造方法。

【請求項28】半導体製支持基板上に絶縁膜を介して設けられた半導体層に力学量の作用に応じて変位するようになされた可動電極と、

前記半導体層に前記可動電極と所定空隙を存して対向するように形成され、上記可動電極の変位に応じて静電容量が変化するコンデンサを当該可動電極との間に形成する固定電極と、

前記半導体層に、当該半導体層上の電極部と前記可動電極及び固定電極との各間をそれぞれ繋ぐように形成された可動電極用配線部及び固定電極用配線部とを備え、前記コンデンサの静電容量の変化を交流電圧信号を利用して取り出すことにより力学量を検出するようにした半導体力学量センサにおいて、

前記支持基板及び半導体層の比抵抗が双方とも $3\Omega \cdot cm$ 以下の比較的低い値となるように設定したことを特徴とする半導体力学量センサ。

【請求項29】前記固定電極として、前記可動電極の

変位に応じて静電容量が差動的に変化する第1及び第2コンデンサを当該可動電極との間に形成する第1及び第2の固定電極が設けられることを特徴とする請求項28記載の半導体力学量センサ。

【請求項30】前記第1の固定電極及び可動電極間と前記第2の固定電極及び可動電極間に互いに位相が $180^\circ$ 異なる搬送波信号をそれぞれ印加した状態での可動電極の電位レベルの変化に基いて力学量を検出するよう構成されていることを特徴とする請求項29記載の半導体力学量センサ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、力学量の作用に応じた可動部の変位をセンサ出力として取り出すようにした半導体力学量センサの製造方法及び静電容量型の半導体力学量センサに関する。

##### 【0002】

【従来の技術】例えば、静電容量型の半導体加速度センサにあっては、加速度の作用に応じて変位する可動部として梁構造体を設け、その梁構造体の変位を、当該梁構造体と一緒に設けられた可動電極と基板上に設けられた固定電極との間に形成されるコンデンサの静電容量の変化として取り出す構成となっている。このような半導体加速度センサを製造する場合、従来より、特開平6-349806号公報などに見られるように、第1半導体層（支持基板）上に絶縁層を介して第2半導体層を積層したSOI構造の半導体基板を用意し、その第1半導体層を上記梁構造体や固定電極などの形状に応じた所定形状にパターニングすると共に、上記絶縁層を犠牲層エッティングするなどの工程を実行して、最終的に半導体基板上に可動電極を備えた梁構造体及び固定電極を形成するという方法が用いられている。

##### 【0003】

【発明が解決しようとする課題】上記のような製造方法では、エッティング液を使用する犠牲層エッティング工程が不可欠であるため、その犠牲層エッティング工程時において、エッティング液の表面張力により、梁構造体（特に可動電極）が他の部分（特に固定電極）に張り付くという所謂スティッキング現象が発生することが多々ある。このような現象が発生した場合には、可動電極及び固定電極間での静電容量変化の検出が不可能になるという致命的な不良となるものであり、従って、従来構成の製造方法では歩留まりの悪化が避けられないという問題点があった。

【0004】また、従来の静電容量型の半導体力学量センサにおいて、可動電極及び固定電極が形成される第2半導体層及びこれを支持する第1半導体層（支持基板）の比抵抗が比較的高い状態となっていた場合には、以下に述べるような問題点が発生することが判明した。

【0005】即ち、静電容量型の半導体力学量センサに

においては、その静電容量の変化を取り出すのに比較的高い周波数の搬送波信号を利用することが一般的となっている。この場合、コンデンサを形成する可動電極及び固定電極間に上記搬送波信号に応じた電圧が印加された状態では、可動電極の側面に、上記コンデンサの容量値と、対応する固定電極との間の電位差との積により示される電荷が発生することになり、この電荷の動きを利用して当該コンデンサの静電容量の変化を取り出すようになっている。このように発生する電荷の動きには、上記可動電極及び固定電極間に電圧を印加するための経路、並びにその電荷を取り出すための経路での抵抗値及び容量値に応じた時定数が存在することになる。ところが、上記のような経路中には、第2半導体層により形成された抵抗要素（可動電極、固定電極そのものも含む）の他に、第1半導体層側で絶縁層を介して形成される寄生抵抗要素が含まれることになるため、第1及び第2半導体層の比抵抗が比較的高い状態となっていた場合には、上記時定数が増大することになる。この時定数が増大した状態では、前記電荷の動きが遅くなったり、搬送波信号の立ち上がりが遅れるなどの現象が発生するので、コンデンサの静電容量を利用した物理量の検出結果が本来得られるべき値から異なる状態となり、結果的に力学量の検出特性が悪化することになる。

【0006】本発明は上記事情に鑑みてなされたものであり、第1の目的は、製造途中の段階で可動部が他の部分に張り付くという現象を確実に防止できて、歩留まりの向上を実現可能になるなどの効果を奏する半導体力学量センサの製造方法を提供することにあり、また、第2の目的は、簡単な構成にて力学量の検出特性の向上を実現できるようになる静電容量型の半導体力学量センサを提供することにある。

#### 【0007】

【課題を解決するための手段】上記第1の目的を達成するために請求項1に記載したような製造方法を採用できる。この製造方法によれば、力学量検出のための可動部は、絶縁層で分離された複数の半導体層を有する半導体基板にエッチング加工を施すことにより形成されるものであるが、その可動部を最終的に画定するための可動部画定工程が気相雰囲気で行われる構成となっているから、最終工程でウエットエッティングを行う従来構成の場合のように、エッティング液による表面張力に起因して可動部が他の部分に張り付くというスティッキング現象が発生することがなくなり、結果的に、製造時における歩留まりの向上を実現できるようになる。

【0008】前記第1の目的を達成するために請求項3に記載した製造方法を採用することもできる。この製造方法においても、絶縁層で分離された複数の半導体層を有する半導体基板にエッチング加工を施すことにより力学量検出のための可動部を形成するものである。この場合、半導体基板の一方の半導体層にトレンチを形成す

るトレンチ形成工程、並びに他方面の半導体層のうち少なくとも上記トレンチに対応した部分を適宜除去する半導体層除去工程を実行した後に、このように半導体層を除去することにより露出する絶縁層を気相雰囲気で適宜除去して前記可動部を画定する可動部画定工程が行われるものである。従って、この製造方法においても、可動部を最終的に画定するための工程が気相雰囲気で行われる構成となっているから、最終工程でウエットエッティングを行う従来構成の場合のように、エッティング液による表面張力に起因して可動部が他の部分に張り付くというスティッキング現象が発生することがなくなり、結果的に、製造時における歩留まりの向上を実現できるようになる。

【0009】請求項4記載の製造方法においては、上記トレンチが形成された半導体層を覆った状態の表面保護膜を形成しておき、前記可動部画定工程では、最終的に上記表面保護膜を気相雰囲気で除去することにより可動部を画定するようしている。従って、この場合にもスティッキング現象が発生しなくなつて製造時における歩留まりの向上を実現できるようになる。また、表面保護膜が最終段階で除去されることになるから、製造途中においてトレンチが形成された半導体層へダメージが及ぶ事態を当該表面保護膜により防止可能になる利点がある。

【0010】前記第1の目的を達成するために請求項5に記載した製造方法を採用することもできる。この製造方法においても、絶縁層で分離された複数の半導体層を有する半導体基板にエッティング加工を施すことにより力学量検出のための可動部を形成するものである。この場合、半導体基板の一方の半導体層に第1のトレンチ及びこの第1のトレンチより浅い形状の第2のトレンチを形成するトレンチ形成工程、並びに他方面の半導体層のうち少なくとも上記第2のトレンチに対応した部分を適宜除去する半導体層除去工程を実行した後に、このように半導体層を除去することにより露出する絶縁層を適宜除去すると共に、第2のトレンチの底部に相当した半導体層を気相雰囲気で除去して前記可動部を画定する可動部画定工程が行われるものである。従って、この製造方法においても、可動部を最終的に画定するための工程が気相雰囲気で行われる構成となっているから、最終工程でウエットエッティングを行う従来構成の場合のように、エッティング液による表面張力に起因して可動部が他の部分に張り付くというスティッキング現象が発生することがなくなり、結果的に、製造時における歩留まりの向上を実現できるようになる。

【0011】また、上記半導体層除去工程において、他方面的半導体層を適宜に除去して絶縁層を露出させた状態とした場合でも、その絶縁層上の半導体層（トレンチが形成された半導体層）は、前記第2のトレンチの底部部分を介して一体に連結された状態にあるから、その連

結状態にある半導体層及び絶縁層によって比較的大きな圧力を受け止め得るようになる。このため、半導体層除去工程の実行時において、それら半導体層及び絶縁層が破壊される可能性が低くなり、製造時における歩留まりの悪化を防止できるようになる。

【0012】請求項6記載の製造方法においては、上記第1及び第2のトレンチが形成された半導体層を覆った状態の表面保護膜を形成しておき、前記可動部画定工程では、最終的に上記表面保護膜を気相雰囲気で除去することにより可動部を画定するようにしている。従って、この場合にもスティッキング現象が発生しなくなつて製造時における歩留まりの向上を実現できるようになる。また、表面保護膜が最終段階で除去されることになるから、製造途中において第1及び第2のトレンチが形成された半導体層へダメージが及ぶ事態を当該表面保護膜により防止可能になる利点がある。

【0013】請求項7記載の製造方法のように、可動部を最終的に画定するための可動部画定工程に先立つて、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行する構成とした場合には、そのダイシング工程での振動によって可動部が破損する事態を未然に防止できるようになる。

【0014】前記第1の目的を達成するために請求項9に記載した製造方法を採用することもできる。この製造方法によれば、第1半導体層上に絶縁層を介して積層された第2半導体層に対し、トレンチ形成工程において、可動電極及び固定電極を画定するためのトレンチが上記絶縁層に達するように形成される。次いで、第1のエッチング工程において、前記第1半導体層における前記可動電極及び固定電極の形成領域に対応した部分が、前記絶縁層と反対側の面からウエットエッチングされる共に、そのエッチング領域の第1半導体層の膜厚が予め設定した膜厚となつた時点でエッチング停止される。そして、その後に行われる第2のエッチング工程において、上記のように残存された前記設定膜厚の第1半導体層が、気相雰囲気でのエッチングにより除去されて上記絶縁層の裏面が露出されるようになる。このように、第1のエッチング工程では、絶縁層との間に第1半導体層が所定膜厚で残存されるようになるから、当該第1のエッチング工程におけるエッチング液の圧力が、絶縁層及び上記残存された第1半導体層の双方により受け止められるようになって、当該絶縁層ひいては第2半導体層が破壊される可能性が低くなる。しかも、絶縁層を露出させるための第2のエッチング工程は気相雰囲気で行われる構成であるから、その工程の実行時においても、絶縁層ひいては第2半導体層が破壊される可能性が低くなる。このため、総じて製造時における歩留まりの悪化を防止できるようになる。

【0015】また、上記第2のエッチング工程の実行後には、第3のエッチング工程において前記絶縁層が気相

雰囲気でのエッチングにより除去されることにより、前記トレンチと連続した状態の開口部が形成されて前記可動電極及び固定電極が形成されるようになる。この場合、可動電極を形成するための最終工程である第3のエッチング工程は、気相雰囲気でのエッチングにより行われるものであるから、最終工程でウエットエッチングを行う従来構成の場合のように、エッチング液による表面張力に起因して可動電極が固定電極に張り付くというステッキング現象が発生することがなくなり、結果的に、製造時における歩留まりの向上を実現できるようになる。

【0016】請求項10記載の製造方法によれば、第1のエッチング工程でのエッチング時において、そのエッチングを、第1半導体層に所定深さで形成された不純物高濃度層が露出した時点で確実に停止させることができると、第1半導体層の残存膜厚を正確に制御できるようになる。このため、第1のエッチング工程の実行時において、絶縁層の裏面側に、第1半導体層を上記不純物高濃度層の深さに応じた膜厚で確実に残存させることができ、これにより、第1のエッチング工程におけるエッチング液の圧力によって絶縁層ひいては第2半導体層が破壊される事態を確実に防止できるようになる。

【0017】請求項11記載の製造方法によれば、第1のエッチング工程でのエッチング時において、そのエッチングを、第1半導体層に印加したバイアス電圧に応じて形成される空乏層が露出した時点で確実に停止させることができるため、第1半導体層の残存膜厚を正確に制御できるようになる。従つて、この場合においても、第1のエッチング工程の実行時において、絶縁層の裏面側に、上記空乏層の位置に応じた膜厚の第1半導体層を確実に残存させることができ、これにより、第1のエッチング工程におけるエッチング液の圧力によって絶縁層ひいては第2半導体層が破壊される事態を確実に防止できるようになる。

【0018】請求項12記載の製造方法のように、第2のエッチング工程でのエッチングレートと第3のエッチング工程でのエッチングレートとの差を小さく設定する構成とした場合には、それら第2及び第3のエッチング工程を、エッチング条件の変更を必要とすることなく連続的に行い得るようになって、製造工程を簡略化できることになる。

【0019】請求項13記載の製造方法のように、可動電極及び固定電極を形成する第3のエッチング工程に先立つて、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行する構成とした場合には、そのダイシング工程での振動によって可動電極や固定電極が破損する事態を未然に防止できるようになる。

【0020】前記第1の目的を達成するために請求項15に記載した製造方法を採用することもできる。この製造方法によれば、第1半導体層上に絶縁層を介して積層

された第2半導体層に対し、トレンチ形成工程において、可動電極及び固定電極を画定するためのトレンチが上記絶縁層に達するように形成される。次いで、第1のエッティング工程において、前記第1半導体層における前記可動電極及び固定電極の形成領域に対応した部分が、前記絶縁層と反対側の面から気相雰囲気でエッティングされて、その絶縁層の裏面側が露出されるようになる。

【0021】このように、絶縁層を露出させるための第1のエッティング工程が気相雰囲気で行われる構成であるから、ウエットエッティングを行う場合のように、絶縁層ひいては第2半導体層がエッティング液の圧力によって破壊される可能性がなくなり、製造時における歩留まりの悪化を防止できるようになる。

【0022】また、上記第1のエッティング工程の実行後には、第2のエッティング工程において前記絶縁層が気相雰囲気でのエッティングにより除去されることにより、前記トレンチと連続した状態の開口部が形成されて前記可動電極及び固定電極が形成されるようになる。この場合、可動電極を形成するための最終工程である第2のエッティング工程は、気相雰囲気でのエッティングにより行われるものであるから、最終工程でウエットエッティングを行う従来構成の場合のように、エッティング液による表面張力に起因して可動電極が固定電極に張り付くというステッキング現象が発生することがなくなり、結果的に、製造時における歩留まりの向上を実現できるようになる。

【0023】請求項17記載の製造方法のように、上記第1のエッティング工程でのエッティングレートと第2のエッティング工程でのエッティングレートとの差を小さく設定する構成とした場合には、それら第1及び第2のエッティング工程をエッティング条件を変更することなく連続的に行うことができるようになって、製造工程を簡略化できることになる。

【0024】請求項18記載の製造方法のように、可動電極及び固定電極を形成する上記第2のエッティング工程に先立って、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行する構成とした場合には、そのダイシング工程での振動によって可動電極や固定電極が破損する事態を未然に防止できるようになる。

【0025】前記第1の目的を達成するために請求項19に記載した製造方法を採用することもできる。この製造方法によれば、まず、可動電極及び固定電極を画定するためのトレンチパターンを、トレンチ幅が大きい部分とこれに比してトレンチ幅が十分に小さい部分を備えた状態に設定される。そして、マスク形成工程において、第1半導体層上に絶縁層を介して積層された第2半導体層上に前記トレンチパターンに対応した形状の異なる幅の溝パターンを有する状態のマスクが形成される。

【0026】この後、トレンチ形成工程において、第2半導体層に前記マスクを利用したエッティング加工が施さ

れて、前記溝パターンの幅が大きい部分に、前記絶縁層に達する第1のトレンチが形成されると共に、当該溝パターンの幅が小さい部分に、上記第2半導体層を底部に残存させた状態の第2のトレンチが形成される。尚、このように第2のトレンチの底部に第2半導体層が残存するのは、トレンチ幅が大きい第1のトレンチ部分にはエッティング媒体が十分に供給されるのに対して、トレンチ幅が小さい第2のトレンチ部分ではエッティング媒体の供給量が不足気味になって実質的なエッティングレートが小さくなるためである。

【0027】次いで、第1のエッティング工程において、前記第1半導体層における前記可動電極及び固定電極の形成領域に対応した部分が、前記絶縁層と反対側の面からエッティングされて、その絶縁層の裏面が露出されるようになる。このように絶縁層が露出された状態においても、その絶縁層上の第2半導体層は、前記第2のトレンチの底部部分を介して一体に連結された状態にあるから、その連結状態にある第2半導体層及び絶縁層によって比較的大きな圧力を受け止め得るようになる。このため、第1のエッティング工程の実行時において、それら第2半導体層及び絶縁層が破壊される可能性が低くなり、製造時における歩留まりの悪化を防止できるようになる。

【0028】この後、第2のエッティング工程において、前記絶縁層が気相雰囲気でのエッティングにより除去され、さらに、第3のエッティング工程において、前記第2のトレンチの底部に残存した第2半導体層が気相雰囲気でのエッティングにより除去されることにより、前記トレンチと連続した状態の開口部が形成されて前記可動電極及び固定電極が形成されるようになる。この場合、上記第2のエッティング工程は気相雰囲気で行われる構成であるから、第2半導体層が破損する可能性を低くして製造時における歩留まりの悪化を防止できるようになる。また、可動電極を形成するための最終工程である第3のエッティング工程も、気相雰囲気でのエッティングにより行われるものであるから、最終工程でウエットエッティングを行う従来構成の場合のように、エッティング液による表面張力に起因して可動電極が固定電極に張り付くというステッキング現象が発生することがなくなり、結果的に、製造時における歩留まりの向上を実現できるようになる。

【0029】請求項21記載の製造方法のように、上記第2のエッティング工程でのエッティングレートと第3のエッティング工程でのエッティングレートとの差を小さく設定する構成とした場合には、それら第2及び第3のエッティング工程をエッティング条件を変更することなく連続的に行うことができるようになって、製造工程を簡略化できることになる。

【0030】請求項22記載の製造方法のように、可動電極及び固定電極を形成する上記第3のエッティング工程

に先立って、半導体基板を所定のセンサチップ形状に切断するダイシング工程を実行する構成とした場合には、そのダイシング工程での振動によって可動電極や固定電極が破損する事態を未然に防止できるようになる。

【0031】請求項24記載の製造方法においては、前記トレンチ形成工程の実行後に、第2半導体層の表面側を容易に剥離可能な表面保護膜で覆うようにしているから、製造途中において第2半導体層へダメージが及ぶ事態を当該表面保護膜により防止可能になる利点がある。

【0032】請求項25記載の製造方法においては、上記表面保護膜を、半導体基板を所定のセンサチップ形状に切断するダイシング工程の実行後に除去するようにしているから、ダイシング工程での振動を表面保護膜で吸収できるようになって、可動電極が破損する事態を未然に防止できるようになる。

【0033】請求項26記載の製造方法によれば、その製造途中において可動電極や固定電極に生ずる余分な突起（つまり静電容量誤差の原因となる部分）が、ドライエッキングによる補助エッキング工程により除去されることになるから、その突起の存在に起因して物理量の検出精度が悪化する事態を未然に防止できる。

【0034】前記第2の目的を達成するために請求項29に記載した手段を採用できる。この手段によれば、可動電極、固定電極及びこれらに繋がる各配線部の構成要素である半導体層の比抵抗、並びに支持基板の比抵抗が双方とも $3\Omega \cdot cm$ 以下の比較的低い値に設定されているから、それら可動電極、固定電極及び配線部において形成される抵抗要素の抵抗値が小さくなることは勿論のこと、支持基板側で絶縁膜を介して形成される寄生抵抗要素の抵抗値も小さくなる。この結果、可動電極及び固定電極間に交流電圧信号を印加するための経路などでの抵抗値及び容量値に応じた時定数が比較的小さくなるから、当該可動電極及び固定電極間に形成されるコンデンサの静電容量を利用した物理量の検出結果の変動幅を小さくできる。従って、支持基板及び半導体層の比抵抗を低い値に設定するだけの簡単な構成によって物理量の検出特性が向上するようになる。

【0035】請求項29記載の手段によれば、可動電極の変位に応じて静電容量が差動的に変化する第1及び第2コンデンサを利用して物理量の検出を行うことになるから、被検出物理量の大きさに対する静電容量の変動幅が見掛け上において大きくなり、S/N比が向上することになる。

#### 【0036】

【発明の実施の形態】（第1の実施の形態）以下、本発明を半導体加速度センサの製造方法に適用した第1実施例について図1ないし図3を参考しながら説明する。図2には、半導体力学量センサとしての半導体加速度センサ1の平面構造が示され（但し、図2中の斜線帶は断面を示すものではなく、各構造要素の区別を容易に認識可

能にするためのものである）、図3には図2中のA-A線に沿った模式的な断面構造が示されている。

【0037】これら図2及び図3において、例えば単結晶シリコンにより構成された支持基板2は、開口部2aを備えた矩形枠状に形成されており、その上面には、単結晶シリコンより成る力学量検出用の梁構造体3（本発明でいう可動部に相当）並びに一对の固定電極構造体4、5がシリコン酸化膜より成る絶縁膜6（図3参照）を介して配置されている。

【0038】上記梁構造体3は、矩形状のマス部7の両端を、矩形枠状の梁部8a及び8bを介してアンカーパーク9a及び9bに一体に連結した構成となっており、これらアンカーパーク9a及び9bが支持基板2における対向辺部上に絶縁膜6を介して支持されている。これにより、上記マス部7及び梁部8a、8bは、支持基板2の開口部2aに臨んだ状態となっている。尚、上記梁部8a及び8bは、図2中矢印X方向の成分を含む加速度を受けたときにマス部7を当該方向へ変位させると共に、加速度の消失に応じて元の状態に復元させるというバネ機能を備えたものである。さらに、梁構造体3は、マス部7の両側面から当該マス部7と直交した方向へ一體的に突出された例えば3個ずつの可動電極10a及び10bを備えており、これら可動電極10a及び10bも支持基板2の開口部2aに臨んだ状態となっている。尚、これら可動電極10a及び10bは、断面矩形の棒状に形成されている。

【0039】支持基板2上には、梁構造体3における一方のアンカーパーク9bと一体に連結された状態の可動電極用配線部11が前記絶縁膜6を介して形成されており、この配線部11上の所定位置には、ワイヤボンディング用の電極パッド11aが例えばアルミニウムにより形成されている。

【0040】前記固定電極構造体4は、支持基板2上に絶縁膜6を介して形成された固定電極用配線部4aと、前記可動電極10aの一方の側面と所定の検出空隙を有して平行した状態で配置された例えば3個の固定電極4bとを一体に有した構成となっており、各固定電極4bは、上記固定電極用配線部4aに片持ち状に支持された状態となっている。これにより、上記固定電極4bは、支持基板2の開口部2aに臨んだ状態となっている。

【0041】また、前記固定電極構造体5は、支持基板2上に絶縁膜6を介して形成された固定電極用配線部5aと、前記可動電極10bの一方の側面（前記可動電極10aにおける前記検出空隙側と反対側の面）と所定の検出空隙を有して平行した状態で配置された例えば3個の固定電極5bとを一体に有した構成となっており、各固定電極5bは、上記配線部5aに片持ち状に支持された状態となっている。これにより、上記固定電極5bは、支持基板2の開口部2aに臨んだ状態となっている。

【0042】尚、上記固定電極4b及び5bは、断面矩形の棒状に形成されている。また、上記固定電極用配線部4a及び5a上の所定位置には、ワイヤボンディング用の電極パッド4c及び5cがアルミニウムにより形成されている。さらに、支持基板2の周縁部には、梁構造体3及び固定電極構造体4、5の基材となる単結晶シリコンより成るシールド用薄膜12が、絶縁分離トレーンチ13により分離された状態で配置されている。

【0043】上記のように構成された半導体加速度センサ1にあっては、可動電極10aと固定電極4bとの間に第1のコンデンサが形成され、また、可動電極10bと固定電極5bとの間に第2のコンデンサが形成されることになる。これら第1及び第2のコンデンサの各静電容量は、マス部7に図2中矢印X方向の成分を含む加速度が作用したときの可動電極10a及び10bの変位に応じて差動的に変化するものであり、斯様な静電容量の変化を、電極パッド4c、5c、11aを通じて取り出すことにより加速度を検出できることになる。

【0044】図1には上記のような半導体加速度センサ1の製造工程例が模式的な断面図により示されており、以下これについて説明する。尚、図1において、(h)は半導体加速度センサ1の部分的な断面構造モデル（説明の便宜上、図2中に二点鎖線Q1、Q2、Q3で示す各部分での断面構造を合成した状態で表現したモデル）を模式的に示したものであり、(a)～(g)は斯様な断面構造モデルに対応した部分の製造途中での模式的断面図である。

【0045】まず、図1(a)に示すようなSOI基板14（本発明でいう半導体基板に相当）を用意する。このSOI基板14にあっては、ベースとなる単結晶シリコンウェハ14a（本発明でいう半導体層及び第1半導体層に相当）が最終的に前記支持基板2となるものであり、この単結晶シリコンウェハ14a上に、単結晶シリコン薄膜14b（本発明でいう半導体層及び第2半導体層に相当）をシリコン酸化膜14c（本発明でいう絶縁層に相当：最終的に前記絶縁膜6となる）を介して設けた構造となっている。尚、上記単結晶シリコンウェハ14aは、表面の面方位が(100)に設定されたもので、少なくとも300μm程度以上の厚さ寸法を備えたものが使用される。また、上記単結晶シリコン薄膜14bも、表面の面方位が(100)のもので、例えば1μm前後の膜厚に設定されている。尚、この単結晶シリコン薄膜14bには、その抵抗率を下げ、且つ前記電極パッド4c、5c、11aとの間でオーミックコンタクトを取るために、例えばリンを高濃度（1×10<sup>19</sup>/cm<sup>3</sup>程度以上）に拡散した状態としている。

【0046】次に、図1(b)に示すような電極パッド形成工程を実行する。この工程では、単結晶シリコン薄膜14b上の全面にアルミニウムを例えば1μm程度の膜厚となるように蒸着した後に、そのアルミニウム膜を

フォトリソグラフィ技術及びエッティング技術を利用してパターニングすることにより、電極パッド4c、5c、11a（11aについては図1中に示されていない）を形成する。尚、この電極パッド形成工程では、電極パッド4c、5c、11aのオーミックコンタクトを得るための周知の熱処理（シンタ）を必要に応じて行う。

【0047】この状態から、図1(c)に示すような寸法調整工程を実行する。この工程では、単結晶シリコンウェハ14aの表面（絶縁膜と6と反対側の面）側に切削・研磨加工を施すことによって、当該ウェハ14aの厚さ寸法が例えば300μmとなるように調整し、その加工面に鏡面仕上げを施す。このように、単結晶シリコンウェハ14aの厚さ寸法を300μmまで減らすのは、後でも述べるように、異方性エッティングにより前記開口部2aを形成する際にそのエッティング深さを低減し、以て異方性エッティングに起因するチップ設計寸法の拡大を防止するためである。

【0048】次いで、図1(d)に示すようなマスク形成工程を実行する。この工程では、単結晶シリコンウェハ14aの表面（鏡面加工面）の全面に、シリコン塗化膜を例えばプラズマCVD法によって0.5μm程度の膜厚となるように堆積した後に、そのシリコン塗化膜をフォトリソグラフィ技術及びエッティング技術を利用してパターニングすることにより、前記開口部2aをエッティングによって形成する際のマスク15を形成する。

【0049】この後には、図1(e)に示すトレーンチ形成工程を実行する。この工程では、単結晶シリコン薄膜14b及び電極パッド4c、5c、11a上にドライエッティング耐性があるレジスト（図示せず）を所定パターン（梁構造体3、固定電極構造体4及び5、シールド用薄膜12に対応した形状）で形成した状態で、ドライエッティング装置により異方性ドライエッティングを実行することにより、単結晶シリコン薄膜14b中に、シリコン酸化膜14cに達するトレーンチ16を形成する。

【0050】この状態から、図1(f)に示すような第1のエッティング工程を実行する。この第1のエッティング工程では、単結晶シリコンウェハ14aを、前記マスク15を使用し且つ例えばKOH水溶液を利用して表面（シリコン酸化膜14cと反対側の面）側から選択エッティングする。この場合、斯様なエッティングをシリコン酸化膜14cまで進行させると、エッティング液の圧力により当該シリコン酸化膜14cが破れて単結晶シリコン薄膜14bが破壊される可能性が非常に高くなるため、エッティングがシリコン酸化膜14cまで進行しないようにエッティング時間を管理する。尚、このようなエッティング時間の管理は、例えば、単結晶シリコンウェハ14aの厚さ寸法並びにエッティング液のエッティングレートに基づいた計算により行うものであるが、本実施例では、単結晶シリコンウェハ14aの膜厚が10μm程度残存することを目標にした時間管理を行う。また、具体的には図

示しなかったが、この第1のエッティング工程の実行前には、SOI基板14の表面側をレジストにより覆っておくものであり、このレジストは、例えば第1のエッティング工程終了後に除去するようにしている。

【0051】次いで、図1(g)に示すような第2のエッティング工程を実行する。この第2のエッティング工程では、単結晶シリコンウェハ14aの表面側から、例えばプラズマエッティング装置を利用したドライエッティングを施すことにより、前記第1のエッティング工程においてシリコン酸化膜14cとの間に残した膜厚10μm程度の単結晶シリコンウェハ14aを除去し、以てシリコン酸化膜14cの裏面(下面)を露出させる。尚、斯様なドライエッティングに伴い、マスク15も同時に除去されることになる。

【0052】そして、図1(h)に示すような第3のエッティング工程を実行する。この第3のエッティング工程では、前記第2のエッティング工程で使用したドライエッティング装置のエッティングレートを変更した状態で、シリコン酸化膜14cの裏面(単結晶シリコンウェハ14a側の面)からドライエッティングを施すことにより、当該シリコン酸化膜14cを除去する。このような第3のエッティング工程の実行に応じて、前記開口部2aが形成されると共に、梁構造体3のマス部7、梁部8a、8b、可動電極10a、10b(マス部7、梁部8a、8b、可動電極10bについては図1中に示されていない)がリリースされることになる。また、このときには、固定電極構造体4、5の固定電極4b及び5b(固定電極5bについては図1中に示されていない)もリリースされて、固定電極用配線部4a及び5aに片持ち支持された状態となる。このようにして、第3のエッティング工程の実行に応じて梁構造体3及び固定電極構造体4、5が形成(画定)されるものである。

【0053】そして、このような第3のエッティング工程の実行後に、SOI基板14を所定のセンサチップ形状に切断するというダイシング工程を行うことにより半導体加速度センサ1の基本構造を完成させる。

【0054】上記のような製造方法によれば、可動部であるマス部7、梁部8a、8b及び可動電極10a、10bを備えた梁構造体3をリリースするための最終工程である第3のエッティング工程をドライエッティングにより行う構成としたから、最終工程でウエットエッティングを行う従来構成の場合のように、エッティング液による表面張力に起因して、梁構造体3が固定電極構造体4及び5のような固定部分に張り付くというステッキング現象が発生することがなくなり、結果的に、製造時における歩留まりの向上を実現できるようになる。

【0055】また、エッティング液としてKOH水溶液を使用した第1のエッティング工程では、シリコン酸化膜14cとの間に所定膜厚の単結晶シリコンウェハ14aが残存されるように構成し、その後に第2エッティング工程

でのドライエッティングにより上記残存された状態の単結晶シリコンウェハ14aを除去する構成としたから、当該第1のエッティング工程において、そのエッティング液の圧力がシリコン酸化膜14c及び単結晶シリコンウェハ14aの双方により受け止めらるようになって、シリコン酸化膜14cひいては単結晶シリコン薄膜14bが破壊される可能性が低くなる。しかも、シリコン酸化膜14cを露出させる第2のエッティング工程もドライエッティングにより行われる構成であるから、その工程の実行時において、シリコン酸化膜14cひいては単結晶シリコン薄膜14bが破壊される可能性が低くなるものであり、総じて、製造時における歩留まりの悪化を防止できるようになる。

【0056】さらに、完成状態においては、梁構造体3の可動部分(マス部7、梁部8a、8b、可動電極10a、10b)並びに固定電極構造体4、5の固定電極4b、5bが、開口部2aに臨んだ状態となるから、それらの目視検査をその表裏両面から容易に行い得るようになるという利点もある。

【0057】ここで、図1(c)に示すような切削・研磨加工を行う理由について、図1(f)を用いてさらに詳細にしておく。つまり、図1(f)中に示すように、開口部2aの開口設計寸法をaとすると、その寸法aを正確にするためには、第1のエッティング工程において、横方向へのエッティングの進行を抑制できる異方性エッティングを行うことが望ましく、本実施例では、このような異方性エッティングを単結晶シリコンウェハ14aに対して行うためにKOH水溶液を利用している。このような異方性エッティングは、本実施例のように面方位(100)の単結晶シリコンウェハ14aを用いる場合には、図1(f)に示すようにエッティング面から角度θ(=54.7°)の方向へ進行する。従って、図1(f)中に示した開口設計寸法a、マスク寸法b及びエッティング深さdの関係は、

$$b = a + 2 \times (d / \tan 54.7^\circ)$$

で得られることになる。このため、例えばエッティング深さdが500μmの場合には、マスク寸法bを開口設計寸法aより約700μm程度大きくしなければならず、半導体加速度センサ1のチップサイズが拡大してしまう。

【0058】そこで、エッティング深さdを小さくして、開口設計寸法aとマスク寸法bとの差を縮小するため、本実施例では前述したような寸法調整工程を実行する構成としている。但し、単結晶シリコンウェハ14aの厚さ寸法を極端に薄くすると、その厚さばらつきが大きくなる可能性が出てくると共にハンドリング時に破損する虞が生じて歩留まりの低下を来たすため、その切削・研磨の工程能力を考慮した上で、最適の厚さ寸法(本実施例では300μm)に設定することが重要になってくる。

【0059】尚、上記した第1実施例において、単結晶シリコンウェハ14aの厚さ寸法を、当初から300μm程度に設定しておけば、その表面に鏡面仕上げのみを施せば済むようになって厚さ寸法を薄くするための前記寸法調整工程が不要になるから、全体の製造工程が簡略化することはいうまでもない。但し、このような設定とする場合には、単結晶シリコンウェハ14aのハンドリングに注意を払う必要がある。

【0060】さらに、上記した第1実施例において、単結晶シリコンウェハ14aの表面に予めシリコン酸化膜を形成したSOI基板14を用いる構成とすれば、当該シリコン酸化膜をエッティングマスクとして利用できることになるから、マスク形成工程(図1(d)参照)においてシリコン塗化膜を堆積する工程が不要となり、製造工程をさらに簡略化できることになる。

【0061】(第2の実施の形態)図4及び図5には本発明の第2実施例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。即ち、第1実施例の構成では、開口部2aのための第1のエッティング工程(図1(f)参照)でのエッティング量を時間管理により制御する構成としているが、このような構成では、単結晶シリコンウェハ14aの厚さ寸法やエッティング液のエッティングレートのばらつきなどにより、単結晶シリコンウェハ14aの残存膜厚を目標とする10μm程度に制御することが難しくなるものである。このため、場合によっては、エッティングがシリコン酸化膜14cまで若しくはその直前まで進行することがあり、このような状態となったときにはエッティング液の圧力により当該シリコン酸化膜14cひいては単結晶シリコン薄膜14bが破壊される事態を招くことがある。このような事態に対処するためには、第1のエッティング工程を複数回に分割して実行し、その都度、エッティングの進行状況を確認しながらエッティング時間を補正するという方法が考えられるが、このような方法では、工数が増大するという新たな問題点を招くことになる。

【0062】この第2実施例は、上記のような事情を考慮したものであり、開口部2aのためのエッティング時における単結晶シリコンウェハ14aの残存膜厚を、目標となる値に簡便且つ確実に加工できるようにしたものである。

【0063】具体的には、まず、図4(a)に示すようなSOI基板14'を半導体基板として用意する。このSOI基板14'は、基本的には第1実施例におけるSOI基板14と同一構成のものであるが、単結晶シリコンウェハ14aにおけるシリコン酸化膜14cとの界面部分に、10μm程度の深さに達する不純物高濃度層14dを予め形成した構造となっている。上記不純物高濃度層14dは、SOI基板14'を貼り合わせ法などにより形成する前の段階で、例えば、ボロンなどの不純物をイオン注入した後に高温の不活性ガス雰囲気中で熱処

理を行うことにより形成されるものであり、その不純物濃度は例えば $1 \times 10^{19}/\text{cm}^3$ 程度に設定される。

【0064】次に、図4(b)に示す電極パッド形成工程、図4(c)に示す寸法調整工程、図4(d)に示すマスク形成工程、図4(e)に示すトレーナ形成工程を、それぞれ前記第1実施例と同様に実行した後に、図5(f)に示すように、単結晶シリコン薄膜14b側をレジスト17によって覆った状態にする被覆工程を実行する。

【0065】次いで、図5(g)に示すような第1のエッティング工程を実行する。この第1のエッティング工程では、マスク15及びレジスト17などが設けられた状態のSOI基板14'を、KOH水溶液より成るエッティング液18中に所定時間だけ浸漬することにより、単結晶シリコンウェハ14aの異方性エッティングを行う。この場合、高濃度に不純物が拡散されたシリコンにあっては、エッティング液18(KOH水溶液)によるエッティングレートが非常に小さいという一般的な性質があるため、上記第1のエッティング工程では、不純物高濃度層14dまでエッティングが進行した状態でそのエッティングが事实上停止した状態となる。従って、エッティング時間の管理を厳密に行わなくても、単結晶シリコンウェハ14aの残存膜厚を不純物高濃度層14dの深さ寸法に応じて正確に制御できることになる。

【0066】この後には、レジスト17を除去した状態で、ドライエッティング装置を利用して不純物高濃度層14dを除去する第2のエッティング工程、並びに当該ドライエッティング装置を利用してシリコン酸化膜14cを除去する第3のエッティング工程を実行し、最終的に図5(h)に示すように、開口部2aを形成した状態とする。そして、SOI基板14を所定のセンサチップ形状に切断するためのダイシング工程を行うことにより半導体加速度センサ1の基本構造を完成させる。

【0067】このように構成した第2実施例によれば、単結晶シリコンウェハ14aの厚さ寸法やエッティング液のエッティングレートがばらつくような状況下であっても、第1のエッティング工程において単結晶シリコンウェハ14aの残存膜厚を正確に制御できる。従って、当該第1のエッティング工程の実行時において、エッティング液の圧力を上記残存状態にある単結晶シリコンウェハ14a及びシリコン酸化膜14cによって確実に受け止めることができるようになって、単結晶シリコン薄膜14bが破損される恐れがなくなるものである。また、第1のエッティング工程を前述したように複数回に分割して実行する必要がないから、工数の増大を招くこともない。勿論、最終工程である第3のエッティング工程をドライエッティングにより行う構成であるから、可動部分のスティッキング現象が発生することがなくなって、製造時における歩留まりの向上を実現できるものである。

【0068】(第3の実施の形態)図6及び図7には、

上記した第2実施例と同様に、開口部2aのためのエッティング時における単結晶シリコンウェハ14aの残存膜厚を、目標となる値に簡便且つ確実に加工できるようになるなどの効果を奏する本発明の第3実施例が示されており、以下これについて第1及び第2実施例と異なる部分のみ説明する。

【0069】即ち、この第3実施例では、図6(a)に示すように第1実施例と同様のSOI基板14(但し、単結晶シリコンウェハ14aは、後述する電気化学ストップエッティングのためにP型とする必要がある：単結晶シリコン薄膜14bは前述したようにリンが拡散されたN型である)を用意した上で、図6(b)に示す電極パッド形成工程、図6(c)に示す寸法調整工程、図6(d)に示すマスク形成工程を、それぞれ第1実施例と同様に実行した後に、図7(e)に示すように、単結晶シリコン薄膜14bの表面側をレジスト17によって覆った状態にする被覆工程を実行する。

【0070】次いで、図7(f)に示すような第1のエッティング工程を実行する。この第1のエッティング工程は、周知の電気化学ストップエッティングを行うものであり、マスク15及びレジスト17などが設けられた状態のSOI基板14を、エッティング液18中に浸漬した状態で、当該SOI基板14の単結晶シリコン薄膜14bに例えば電極パッド4cを通じて正極性の電圧を印加し、エッティング液18中に配置した電極板19に負極性の電圧を印加する。このような電圧印加状態では、単結晶シリコンウェハ14a中にシリコン酸化膜14cを介して空乏層20(便宜上、二点鎖線で示す)が広がるようになる。このため、エッティングが進行して上記空乏層20がエッティング液18中に露出した状態となると、陽極酸化反応が起こってエッティング面にエッティングレートが非常に小さい陽極酸化膜が形成されるため、事実上エッティングが停止するようになる。これにより、エッティング時間の管理を厳密に行わなくても、単結晶シリコンウェハ14aの残存膜厚を空乏層20の深さ寸法に応じて正確に制御できることになる。

【0071】この後には、レジスト17を除去した状態で、図7(g)に示すトレンチ形成工程を第1実施例と同様に実行してトレンチ16を形成した後に、ドライエッティング装置を利用して単結晶シリコンウェハ14aの前記残存部分を除去する第2のエッティング工程、並びに当該ドライエッティング装置を利用してシリコン酸化膜14cを除去する第3のエッティング工程を実行し、最終的に図7(h)に示すように、開口部2aを形成した状態とする。そして、SOI基板14を所定のセンサチップ形状に切断するためのダイシング工程を行うことにより半導体加速度センサ1の基本構造を完成させる。

【0072】(第4の実施の形態)図8には本発明の第4実施例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。即ち、第1実施例で

は、シリコンウェハ14aに開口部2aを形成するために、ウエットエッティングによる第1のエッティング工程(図1(f)参照)を行った後に、ドライエッティングによる第2及び第3のエッティング工程(図1(g)、(h)参照)を順次行うようにしたが、当初から気相雰囲気でエッティングする構成としても良い。この場合のエッティング方法としては、ドライエッティング装置を利用する事が一般的であり、開口部2aの寸法を正確に制御するためには、異方性ドライエッティングを行うことが望ましい。

【0073】具体的には、この第4実施例では、図8(a)に示すように第1実施例と同様のSOI基板14を用意した上で、図8(b)に示す電極パッド形成工程、図8(c)に示す寸法調整工程、図8(d)に示すマスク形成工程、図8(e)に示すトレンチ形成工程を、それぞれ第1実施例と同様に実行する。但し、本実施例の場合、上記マスク形成工程では、ドライエッチ耐性があるレジストをマスク15'として設ける。

【0074】そして、図8(f)に示す第1のエッティング工程では、単結晶シリコンウェハ14aに対しマスク15'側の面から異方性ドライエッティングを施すことにより、当該ウェハ14aを除去してシリコン酸化膜14cの裏面(下面)を露出させた状態とする。次いで、図8(g)に示すように、マスク15'をアッショングして除去し、さらに、図8(h)に示す第2のエッティング工程では、シリコン酸化膜14cの裏面側からドライエッティングを施すことにより、当該シリコン酸化膜14cを除去して開口部2aを形成した状態とする。そして、SOI基板14を所定のセンサチップ形状に切断するためのダイシング工程を行うことにより半導体加速度センサ1の基本構造を完成させる。

【0075】このような第4実施例の製造方法によれば、ドライエッティングのみによって開口部2aを形成できるようになるから、製造工程が簡単化すると共に、可動電極10b、10bのような可動部にスティッキング現象が発生する恐れがなくなるものである。尚、このように異方性ドライエッティングを行う場合には、そのエッティングが単結晶シリコンウェハ14aの表面に対しどんどん垂直な方向へ進行するため、ウエットエッティングを行う場合のように、マスク寸法を大きくする必要がなくなり、チップサイズの拡大を招く懼れがなくなる。但し、本実施例のようなドライエッティングは、KOH水溶液を用いたウエットエッティングに比べてエッティングレートが小さいという事情があるから、スループットの向上のためには単結晶シリコンウェハ14aの厚さ寸法を300μm程度に調節しておくことが望ましい。

【0076】(第5の実施の形態)図9には本発明の第5実施例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。即ち、この第5実施例は、梁構造体3及び固定電極構造体4、5の平面形状に

工夫を加えることにより、単結晶シリコン薄膜14bに形成するトレンチパターンをトレンチ幅が大きい部分とこれに比してトレンチ幅が十分に小さい部分を備えた状態にしたことに特徴を有する。具体的には、まず、図9(a)に示すように第1実施例と同様のSOI基板14を用意した上で、図9(b)に示す電極パッド形成工程、図9(c)に示す寸法調整工程、図9(d)に示すマスク形成工程を、それぞれ第1実施例と同様に実行する。

【0077】そして、図9(e)に示すトレンチ形成工程では、単結晶シリコン薄膜14b及び電極パッド4c、5c、11a上にドライエッチ耐性があるレジスト(図示せず)を、上記のようなトレンチ幅の差が生ずるような所定パターンで形成した状態で、ドライエッティング装置により異方性ドライエッティングを実行することにより、単結晶シリコン薄膜14b中に、トレンチ幅が大きく設定された第1のトレンチ21aと、これより十分に小さいトレンチ幅に設定された第2のトレンチ21bとを形成する。

【0078】この場合、上記トレンチ形成工程でのドライエッティング時において、第1のトレンチ21a部分にはエッティング媒体が十分に供給されるのに対して、第2のトレンチ21b部分ではエッティング媒体の供給量が不足気味になるため、実質的なエッティングレートが小さくなる。この結果、第1のトレンチ21aがシリコン酸化膜14cに到達した段階でエッティングを終了すると、第2のトレンチ21bの底部には、単結晶シリコン薄膜14bが未エッティング状態で残ることになる。

【0079】この後に、図9(f)に示すような第1のエッティング工程を実行する。この第1のエッティング工程では、単結晶シリコンウェハ14aを、マスク15を使用し且つ例えばKOH水溶液を利用して選択エッティングするものであり、この場合にはエッティングストップとしてエッティングレートがシリコンに比べて小さいシリコン酸化膜14cを利用する。

【0080】次いで、図9(g)に示す第2のエッティング工程において、シリコン酸化膜14cを裏面側からのドライエッティングにより除去した後に、図9(h)に示す第3のエッティング工程において、第2のトレンチ21bの底部に残存した単結晶シリコン薄膜14bをドライエッティングにより除去して開口部2aを形成する。

【0081】このような本実施例の製造方法によれば、第1のエッティング工程の実行時において、エッティング液の圧力をシリコン酸化膜14c及び連結状態にある単結晶シリコン薄膜14bの双方によって確実に受け止めることができるようにして、当該単結晶シリコン薄膜14bが破損される恐れがなくなるものである。勿論、最終工程である第3のエッティング工程をドライエッティングにより行う構成であるから、可動部分のスティッキング現象が発生することがなくなつて、製造時における歩留

まりの向上を実現できるものである。

【0082】(第6の実施の形態)図10及び図11には本発明の第6実施例が示されており、以下これについて前記第1実施例と異なる部分のみ説明する。即ち、図10(a)に示すように第1実施例と同様のSOI基板14を用意した上で、図10(b)に示す電極パッド形成工程、図10(c)に示す寸法調整工程、図10(d)に示すマスク形成工程を、それぞれ第1実施例と同様に実行する。

【0083】次いで、図11(f)に示す表面保護工程において、単結晶シリコン薄膜14bの表面側を、容易に剥離可能な材料である例えば有機系レジスト或いはポリイミド系材料より成る表面保護膜22により覆った状態とする。この後に、図11(g)に示す第1のエッティング工程、図11(h)に示す第2のエッティング工程、図11(i)に示す第3のエッティング工程を、それぞれ第1実施例と同様に実行して開口部2aを形成し、さらに、最終的に図11(j)に示す保護膜除去工程を実行して表面保護膜22を取り除く。この場合、製造途中において単結晶シリコン薄膜14bへダメージが及ぶ事態を当該表面保護膜22により防止可能になる利点がある。また、表面保護膜22は有機系レジスト或いはポリイミド系材料より成るものであるから、例えば酸素プラズマ中(つまり、ドライ雰囲気中)で簡単に除去できることになる。そして、このような保護膜除去工程を上記第3のエッティング工程の一部として実行した後に、SOI基板14を所定のセンサチップ形状に切断するためのダイシング工程を行うことにより半導体加速度センサ1の基本構造を完成させる。尚、上記保護膜除去工程をダイシング工程の実行後に行う構成としても良い。

【0084】(第7の実施の形態)梁構造体3などの可動部分は、半導体加速度センサの製造時のみならず、その実装時、例えばワイヤボンディング時においても破壊する可能性がある。このような実装段階での破壊を防止するためには、図12に示すような本発明の第7実施例のような手法を用いることができる。

【0085】即ち、この第7実施例は、前記第6実施例と同様に、SOI基板14の表面側を表面保護膜22により覆った状態とする表面保護工程(図12(a)参照)を実行した後に、図12(b)に示すような窓部形成工程を実行する。この窓部形成工程では、表面保護膜22における電極パッド4c、5c、11aとの対応部分に、当該電極パッド4c、5c、11aまで達する窓部23(図12では電極パッド4c、5cに対応したものののみ図示)を形成する。

【0086】次いで、図12(c)に示す第1のエッティング工程を実行する。この第1のエッティング工程では、単結晶シリコンウェハ14aを、マスク15を使用し且つ例えばKOH水溶液を利用して選択エッティングするも

のであり、この場合にはエッティングストップとしてエッティングレートがシリコンに比べて小さいシリコン酸化膜14cを利用する。このような第1のエッティング工程を行った後に、SOI基板14を所定のセンサチップ形状に切断するダイシング工程を実行し、この状態で図12(d)に示すワイヤボンディング工程を実行して、電極パッド4c、5c、11aと図示しない外部ボンディングパッドとの間をボンディングワイヤ24により接続する。この後に、図12(e)に示すように、表面保護膜22を酸素プラズマなどを使用して除去する。この状態から、ドライエッティング装置を利用してシリコン酸化膜14cを除去する第2のエッティング工程を実行する。

【0087】このような第7実施例によれば、半導体加速度センサ1のパッケージ直前まで梁構造体3などの可動部分を破損から保護できるため、歩留まりの向上を実現できる。また、本実施例の構成によれば、表面保護膜22が設けられる関係上、第1のエッティング工程において、前記第1実施例のように単結晶シリコン薄膜14bを所定膜厚だけ残存させなくとも十分な強度が得られる。従って、その第1のエッティング工程においてシリコン酸化膜14cが露出する状態までエッティングすれば良くなつて、製造工程を簡略化できるようになる。

【0088】尚、上記した第6実施例及び第7実施例では、表面保護膜22の除去を酸素プラズマを使用して行う構成としたが、別の方法として、オゾン雰囲気中にて紫外線を照射する方法もある。これによれば、酸素プラズマを使用する場合のようにチャージアップする必要がないため、可動電極10a、10bの固定電極4b、5bに対する張り付き現象をより一層抑制することができる。

【0089】(第8の実施の形態) 上記した各実施例では、トレンチ形成工程において、SOI基板14にドライエッティングを施すことにより、シリコン酸化膜14cに達するトレンチ16或いは21aを形成する構成としたが、このような場合には、トレンチ底部におけるシリコン酸化膜14cと接した部分が異常な形状になり易いことが知られている。即ち、第1ないし第4実施例、第6及び第7実施例のように、トレンチ16をドライエッティングにより形成した場合、例えば当該トレンチ16により画定された固定電極4b、5b或いは可動電極10a、10bの最下部に図13(a)に示すような突起25が生成されることがある。このような突起25が生成された場合には、固定電極4a、4b及び可動電極10a、10b間の静電容量誤差が大きくなるため、除去しておくことが望ましい。

【0090】そこで、本発明の第8実施例においては、シリコン酸化膜14cを除去するためのドライエッティング工程を実行した後に、単結晶シリコン薄膜14bに対し、下方から等方性ドライエッティングを施すという補助エッティング工程を実行することにより、図13(b)に

示すように上記のような異常形状を除去するようにしている。これにより、半導体加速度センサ1の検出精度が、固定電極4a、4b及び可動電極10a、10b間の静電容量誤差の拡大に起因して悪化する事態を未然に防止できることになる。尚、上記補助エッティング工程のエッティングレートと、シリコン酸化膜14cを除去するためのドライエッティング工程のエッティングレートの差を小さく設定すれば、ドライエッティング装置のエッティング条件を変更することなく上記各ドライエッティング工程を連続的に行うことができるようになり、工程の簡略化を図り得るようになる。

【0091】(第9の実施の形態) 以下、本発明を半導体加速度センサに適用した第9実施例について図14ないし図20を参照しながら説明する。図14には、半導体力学センサとしての半導体加速度センサ101の平面構造が示され(但し、図14中の斜線帯は断面を示すものではなく、各構造要素の区別を容易に認識可能にするためのものである)、図15には図2中のB-B線に沿った模式的な断面構造が示されている。

【0092】これら図14及び図15において、例えば単結晶シリコンにより構成された支持基板102は、開口部102aを備えた矩形枠状に形成されており、その上面には、単結晶シリコン層103(本発明でいう半導体層に相当)に形成された梁構造体104並びに一对の固定電極構造体105、106がシリコン酸化膜より成る絶縁膜107(図2参照)を介して配置されている。

【0093】上記梁構造体104は、矩形棒状のマス部108の両端を、矩形枠状の梁部109a及び109bを介してアンカー部110a及び110bに一体に連結した構成となっており、これらアンカー部110a及び110bが支持基板102における対向辺部上に前記絶縁膜107を介して支持されている。これにより、上記マス部108及び梁部109a、109bは、支持基板102の開口部102aに臨んだ状態となっている。

尚、上記梁部109a及び109bは、図2中矢印X方向の成分を含む加速度を受けたときにマス部108を当該方向へ変位させると共に、加速度の消失に応じて元の状態に復元させるというバネ機能を備えたものである。

【0094】さらに、梁構造体104は、マス部108の両側面から当該マス部108と直交した方向へ一体的に突出された複数個ずつの可動電極111a及び111bを備えており、これら可動電極111a及び111bも支持基板102の開口部102aに臨んだ状態となっている。尚、これら可動電極111a及び111bは、実際には多数個ずつ設けられるものであるが、図14では簡略化のため2個ずつのみ示している。また、可動電極111a及び111bは、断面矩形の棒状に形成されていると共に、矩形状の貫通孔112が複数個形成されており、この貫通孔112により複数の矩形枠状体を直線状に連結した形態の所謂ラーメン構造を備えた形状と

されている。

【0095】支持基板102上には、梁構造体104における一方のアンカー部110bと一緒に連結された状態の可動電極用配線部113が前記絶縁膜107を介して形成されており、この配線部113上の所定位置には、ワイヤボンディング用の電極パッド113aが例えばアルミニウムにより形成されている。

【0096】前記固定電極構造体105は、支持基板102上に絶縁膜107を介して形成された固定電極用配線部105aと、前記可動電極111aの一方の側面と所定の検出空隙を存して平行した状態で配置された複数個の第1の固定電極105bとを一体に有した構成となっており、各固定電極105bは、上記固定電極用配線部105aに片持ち状に支持された状態となっている。これにより、上記第1の固定電極105bは、支持基板102の開口部102aに臨んだ状態となっている。

【0097】また、前記固定電極構造体106は、支持基板102上に絶縁膜107を介して形成された固定電極用配線部106aと、前記可動電極111bの一方の側面（前記可動電極111aにおける前記検出空隙側と反対側の面）と所定の検出空隙を存して平行した状態で配置された複数個の第2の固定電極106bとを一体に有した構成となっており、各固定電極106bは、上記配線部106aに片持ち状に支持された状態となっている。これにより、上記第2の固定電極106bは、支持基板102の開口部102aに臨んだ状態となっている。

【0098】尚、上記第1及び第2の固定電極105b及び106bは、実際には多数個ずつ設けられるものであるが、図14では簡略化のため2個ずつのみ示している。また、第1及び第2の固定電極105b及び106bは、断面矩形の棒状に形成されていると共に、矩形状の貫通孔114が複数個形成されており、この貫通孔114により複数の矩形枠状体を直線錐に連結した形態の所謂ラーメン構造を備えた形状とされている。さらに、上記固定電極用配線部105a及び106a上の所定位置には、ワイヤボンディング用の電極パッド105c及び106cがアルミニウムにより形成されている。

【0099】支持基板102の周縁部に残存した単結晶シリコン層103は、シールド用薄膜103aとして機能するものであり、そのシールド用薄膜103aと梁構造体104及び可動電極用配線部113との隣接部位には絶縁分離トレンチ115が形成され、シールド用薄膜103aと固定電極用配線部105a及び106aとの各隣接部位には絶縁分離トレンチ116及び117がそれぞれ形成されている。また、シールド用薄膜103a上には、ワイヤボンディング用の例えは2個の電極パッド103bがアルミニウムにより形成されている。

【0100】しかして、本実施例においては、半導体加速度センサ101の製造途中の工程において、前記支持

基板102及び単結晶シリコン層103に不純物を拡散することによって、それらの比抵抗を $3\Omega \cdot \text{cm}$ 以下、望ましくは $1\Omega \cdot \text{cm}$ 以下の比較的低い値に設定している。この結果、上記のように設定された比抵抗に応じて、固定電極用配線部105a及び106a、第1及び第2の固定電極105b及び106b、可動電極111a及び111b、可動電極用配線部113などの抵抗値が決まることになる。

【0101】上記のように構成された半導体加速度センサ101にあっては、図14中の矢印X方向の成分を含む加速度が印加されると、マス部108が当該矢印X方向へ変位するようになり、その加速度に応じた変位置は、マス部108の質量と梁部109a、109bの復元力、並びに電圧印加状態において可動電極111a及び111bと第1及び第2の固定電極105b及び106bとの各間に作用する静電気力によって決定される。この場合、可動電極111aと第1の固定電極105bとの間に第1のコンデンサが形成され、また、可動電極111bと第2の固定電極106bとの間に第2のコンデンサが形成されるものであり、これら第1及び第2のコンデンサの各静電容量は、上記のようにマス部108に加速度が作用したときの可動電極111a及び111bの変位に応じて差動的に変化するものである。従つて、斯様な静電容量の変化を、電極パッド105c、106c、113aを通じて電荷量の変化として取り出すことにより加速度を検出できることになる。尚、上記第1及び第2のコンデンサの静電容量は、本実施例の場合、加速度が印加されていない状態で互いに等しくなるように設定されている。

【0102】図16には、上記のような静電容量の変化を検出するための容量変化検出回路の回路構成が示されている。但し、この図16では、半導体加速度センサ101を等価回路で表現している。即ち、図6に示した半導体加速度センサ101において、

C S 1 : 可動電極111a・第1の固定電極105b間の第1のコンデンサ、

C S 2 : 可動電極111b・第2の固定電極106b間の第2のコンデンサ、

R M 1 : 可動電極111a部分の単結晶シリコン層103の抵抗、

R M 2 : 可動電極111b部分の単結晶シリコン層103の抵抗、

R R 1 : 第1の固定電極105b部分の単結晶シリコン層103の抵抗、

R R 2 : 第2の固定電極106b部分の単結晶シリコン層103の抵抗、

【0103】R H 1 : 可動電極111a、111bの基部から電極パッド113aに至る部分（マス部108及び可動電極用配線部113）の単結晶シリコン層103の抵抗、

R H 2 : 第1の固定電極105bの基部から電極パッド105cに至る部分(固定電極用配線部105a)の単結晶シリコン層103の抵抗。

R H 3 : 第2の固定電極106bの基部から電極パッド106cに至る部分(固定電極用配線部106a)の単結晶シリコン層103の抵抗。

【0104】R P 1 : 電極パッド113aから絶縁分離トレンチ115に至る部分(可動電極用配線部113)の単結晶シリコン層103による寄生抵抗。

C P 1 : 可動電極配線部113の絶縁分離トレンチ115による寄生コンデンサ、

R P 2 : 絶縁トレンチ115及び116間に位置した単結晶シリコン層103による寄生抵抗、

C P 2 : 固定電極配線部105aの絶縁分離トレンチ116による寄生コンデンサ、

R P 3 : 電極パッド105cから絶縁分離トレンチ116に至る部分(固定電極用配線部105a)の単結晶シリコン層103による寄生抵抗、

R P 4 : 絶縁トレンチ115及び117間に位置した単結晶シリコン層103による寄生抵抗、

C P 3 : 固定電極配線部106aの絶縁分離トレンチ117による寄生コンデンサ、

【0105】R P 5 : 電極パッド106cから絶縁分離トレンチ117に至る部分(固定電極用配線部106a)の単結晶シリコン層103による寄生抵抗、

R P 6 : 電極パッド113aから絶縁膜107に至る縦方向部分(可動電極用配線部113)の単結晶シリコン層103による寄生抵抗、

C P 4 : 電極パッド113aと支持基板102との間の寄生コンデンサ、

R P 7 : 電極パッド105cから電極パッド113a部分までの支持基板102による寄生抵抗、

R P 8 : 電極パッド105cまたは106cから絶縁膜107に至る縦方向部分(固定電極用配線部105aまたは106a)の単結晶シリコン層103による寄生抵抗、

R P 9 : 電極パッド106c電極パッド113a部分までの支持基板102による寄生抵抗、である。

【0106】一方、電極パッド105c(つまり第1の固定電極105b)には、図17に示すような矩形波により成る第1搬送波信号(周波数は例えば100KHz、電圧レベルは例えば5V)が印加され、電極パッド106c(つまり第2の固定電極106b)には、上記第1搬送波信号と位相が180°異なる矩形波により成る第2搬送波信号(図17参照:周波数は例えば100KHz、電圧レベルは例えば5V)が印加されるようになっている。尚、具体的に図示しないが、上記第1及び第2搬送波信号は、同一の発振回路からのクロック信号に同期して形成されるものである。

【0107】上記のような各搬送波信号が印加された状態では、電極パッド113a(つまり可動電極111a、111b)の電位レベルは、第1及び第2のコンデンサCS1及びCS2の静電容量に応じたレベルになるものであり、その電位レベルをスイッチドキャパシタ回路118により検出するようにしている。

【0108】スイッチドキャパシタ回路118は、オペアンプ118a、帰還コンデンサ118b及びスイッチ要素118cを図示のように組み合わせて接続されている。上記オペアンプ118aは、反転入力端子に電極パッド113aからの信号(可動電極111a、111bの電位レベルを示す信号)が入力され、非反転入力端子に2.5V(つまり、第1及び第2のコンデンサCS1及びCS2の静電容量が等しい状態時に電極パッド113aに現れる電位レベルに相当)の電圧信号が与えられる構成となっている。また、上記スイッチ要素118cは、前記図示しない発振回路からのクロック信号に同期して生成されるトリガ信号によりオンオフされるものであり、図17に示すように、第1搬送波信号の立ち下りタイミング(第2搬送波信号の立ち上りタイミング)で一定時間τ(第1搬送波信号の1/2周期より短い時間)だけオンするよう設定される。

【0109】図16に示した容量検出回路は、以下のように動作することが想定されたものである。

【0110】即ち、第1及び第2のコンデンサCS1及びCS2の容量値が等しい場合、図17のタイミングチャート中のタイミングT1においては、第1の固定電極105bに0V、第2の固定電極106bに5V、可動電極111a及び111bに2.5Vの電圧がそれぞれ印加されることになる。これに応じて、第1及び第2のコンデンサCS1及びCS2などでの電荷分布は図18(a)に示す状態となる。このときには、スイッチ要素118cがオンされるため、スイッチドキャパシタ回路118からの出力電圧Voは2.5Vになる。

【0111】上記タイミングT1から時間τが経過したタイミングT2において、スイッチ要素118cがオフされたときには、各固定電極105b及び106bに対する印加電圧は変化しないので、第1及び第2のコンデンサCS1及びCS2での電荷分布は図18(a)に示す状態のままである、出力電圧Voも2.5Vのままである。

【0112】その後のタイミングT3に至ると、第1の固定電極105bに5V、第2の固定電極106bに0Vの電圧が印加された状態に反転するのに応じて、第1及び第2のコンデンサCS1及びCS2などでの電荷分布は図18(b)に示す状態となる。このときには、図5(b)中に破線Qで囲った部分の総電荷量が零になるのに伴い、出力電圧Voが帰還コンデンサ118bを通じた放電により応じて徐々に低下するようになる。

【0113】この場合、出力電圧Voのレベルは、第1

及び第2のコンデンサCS1及びCS2の各静電容量の差動的な変化量、つまり、マス部108に作用する加速度の大きさに応じて変化することになるから、その出力電圧Voを利用して加速度の大きさを検出できるようになる。

【0114】ここで、可動電極111a及び111bと第1及び第2の固定電極105b及び106bとの間に電圧が印加された状態では、その可動電極111a、111bの側面に、前記第1及び第2のコンデンサCS1及びCS2の容量値と、対応する固定電極105b、106bとの間の電位差との積により示される電荷が発生することになる。このように発生する電荷は、電極パッド113aから可動電極111a及び111bの側面までの経路での抵抗値及び容量値、並びに電極パッド105c及び106cから第1及び第2の固定電極105b及び106bの側面までの各経路での抵抗値及び容量値に応じた時定数を持つことになる。ところが、上記のような経路中には、図16に示したような抵抗ファクタ(RM1、RM2、RR1、RR2、RH1～RH3、RP1～RP9)が存在するため、これに起因した上記時定数の増大による悪影響が避けられない。

【0115】従って、上記のような抵抗ファクタの大きさを決定する支持基板102及び単結晶シリコン層103の比抵抗が比較的高い状態となっていた場合、つまり、時定数が大きい状態時には、以下に(1)、(2)、(3)に述べるような現象が複合して発生することになる。

【0116】(1) 第1及び第2のコンデンサCS1及びCS2と帰還コンデンサ118bとの間での電荷の動きが、前記時定数の影響で遅くなる。このため、図19(a)に示すように、出力電圧Voの振幅が本来得られるべき値とは異なった状態になる現象が発生する。

【0117】(2) 固定電極105b及び106bに印加される第1及び第2搬送波信号にも上記時定数による影響が及ぶので、当該固定電極105b及び106bに印加される電圧が、図19(b)に示すように本来得られるべき値より小さくなり、このため、出力電圧Voの値も本来得られるべき値から変化することになる。

【0118】(3) 第1及び第2搬送波信号に上記のような時定数の影響が及ぶのに応じて、それら第1及び第2搬送波信号とスイッチ要素118cのオンオフタイミングに図19(c)に示すような位相ずれが生じ、これに起因して出力電圧Voの値が本来得られるべき値から変化する。

【0119】要するに、支持基板102及び単結晶シリコン層103の比抵抗が比較的高い状態となっていた場合には、上記(1)、(2)、(3)のような現象が複合して発生したときに、その影響による出力電圧Voの変動幅が大きくなつて加速度の検出特性が悪化することになる。

【0120】これに対して、本実施例においては、支持基板102及び単結晶シリコン層103の比抵抗を、前述したように $3\Omega\cdot\text{cm}$ 以下、望ましくは $1\Omega\cdot\text{cm}$ 以下の比較的低い値に設定している。つまり、本実施例においては、図16中に示した抵抗RM1、RM2、RR1、RR2、RH1～RH3、寄生抵抗RP1～RP6、RP8、RP9の抵抗値を決定する単結晶シリコン層103の比抵抗は勿論のこと、図16中に示した寄生抵抗RP7を決定する支持基板102の比抵抗も比較的小さい値に設定しているから、抵抗RM1、RM2、RR1、RR2、RH1～RH3及び寄生抵抗RP1～RP9の存在に伴う時定数による影響を極力抑制できるようになって、出力電圧Voの変動幅を小さくできるものである。

【0121】因みに、支持基板102及び単結晶シリコン層103の比抵抗と、コンデンサCS1及びCS2に電圧を印加した状態での電圧及び電流位相差との関係を図20に示すが、前述した時定数に起因した電圧及び電流の位相ずれ量を許容範囲である $1^\circ$ 以内(位相差 $89^\circ \sim 90^\circ$ )に収めるためには、上記比抵抗を $3\Omega\cdot\text{cm}$ 以下とすれば良いことが分かる。

【0122】以上の結果、本実施例によれば、支持基板102及び単結晶シリコン層103の比抵抗を低い値に設定するだけの簡単な構成によって加速度の検出特性が向上するようになる。また、静電容量が差動的に変化する第1及び第2コンデンサCS1、CS2を利用して加速度の検出を行うことになるから、被検出加速度の大きさに対する静電容量の変化幅が見掛け上において大きくなつて、S/N比が向上するようになる。

【0123】(その他の実施の形態)尚、本発明は上記した実施例に限定されるものではなく、次のような変形または拡張が可能である。第1実施例及び第3実施例では、第1のエッティング工程の実行後に、膜厚 $10\mu\text{m}$ 程度で残存させた単結晶シリコンウェハ14aをドライエッティングにより除去するための第2のエッティング工程を行った後に、エッティングレートを変更してシリコン酸化膜14cをドライエッティングにより除去するための第3のエッティング工程を行う構成としたが、ドライエッティング条件をコントロールして上記単結晶シリコンウェハ14a及びシリコン酸化膜14cのエッティングレートの差を小さく設定すれば、ドライエッティング装置のエッティング条件を変更することなく上記第2及び第3のエッティング工程を連続的に行うことなることになる。従つて、この場合には、製造工程を簡略化できるようになる。

【0124】勿論、第2実施例においても、第2のエッティング工程における不純物高濃度層14dのエッティングレートと、第3のエッティング工程におけるシリコン酸化膜14cのエッティングレートとの差を小さく設定すれば、ドライエッティング装置のエッティング条件を変更する

ことなく上記第2及び第3のエッティング工程を連続的に行うことができるようになって、製造工程を簡略化できるものである。

【0125】上記した各実施例では、単結晶シリコンウェハ14或いは14'に開口部2aを形成した後、つまり、微細構造部分を有した梁構造体3及び固定電極構造体4、5を形成した後の時点でダイシング工程を行って半導体加速度センサの基本構造を完成させる構成としたが、このように製造工程の最終段階でダイシング工程を行うことは、半導体加速度センサ1の微細構造部分が破損するという危険性を孕んでいる。要するに、ダイシング工程では、高速回転されるダイシングソーが使用されるため、SOI基板14或いは14'に対して常に振動が加えられることになり、その振動に起因して上記微細構造部分が破損する恐れがある。そこで、開口部2aを形成する工程を実行する前の時点で、ダイシング工程を行ってチップ分割し、この後に開口部2aを形成するという製造方法を採用することができる。

【0126】具体的には、第1ないし第3の実施例の場合について説明すると、第1のエッティング工程が終了した時点で、ダイシング工程を行ってチップ分割し、この後に各センサチップをチップトレイなどにより保持した状態で第2のエッティング工程及び第3のエッティング工程を行う構成とすれば良い。このような構成によれば、ダイシング加工時には、前記微細構造部分が単結晶シリコンウェハ14aの膜厚10μm程度の残存部分及びシリコン酸化膜14cにより支持されるようになって、耐振動性が向上するようになるから、その破損を未然に防止できるようになる。尚、この場合、第2のエッティング工程及び第3のエッティング工程でのドライエッティングは真空チャンバー内で行われるものであって、加工対象物の形状に対する自由度が高いという事情があるから、当該第2及び第3のエッティング工程がダイシング加工後に行われる構成であっても、工程上の支障を来たすことはないものである。

【0127】半導体加速度センサに限らず、ヨーレートセンサや角速度センサなどの他の半導体力学量センサにも応用できる。また、本発明による半導体力学量センサの製造方法においては、容量式センサの例（第1ないし第8実施例）で説明したが、可動電極及び固定電極間の接触を検知する接点式センサとして実現することも可能である。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例による製造方法を示す模式的断面図

【図2】半導体加速度センサの平面構造を示す図

【図3】図2中のA-A線に沿った模式的断面図

【図4】本発明の第2実施例による製造方法を示す模式的断面図その1

【図5】同製造方法を示す模式的断面図その2

【図6】本発明の第3実施例による製造方法を示す模式的断面図その1

【図7】同製造方法を示す模式的断面図その2

【図8】本発明の第4実施例による製造方法を示す模式的断面図

【図9】本発明の第5実施例による製造方法を示す模式的断面図

【図10】本発明の第6実施例による製造方法を示す模式的断面図その1

【図11】同製造方法を示す模式的断面図その2

【図12】本発明の第7実施例による製造方法を示す模式的断面図

【図13】本発明の第8実施例による製造方法を示す要部の模式的拡大断面図

【図14】本発明の第9実施例による半導体加速度センサの平面構造を示す図

【図15】図14中のB-B線に沿った模式的断面図

【図16】容量変化検出回路の構成を半導体加速度センサの等価回路と共に示す図

【図17】容量変化検出回路の動作説明用のタイミングチャート

【図18】容量変化検出回路の電荷の動きを説明するための図

【図19】検出特性が悪化する現象を説明するためのタイミングチャート

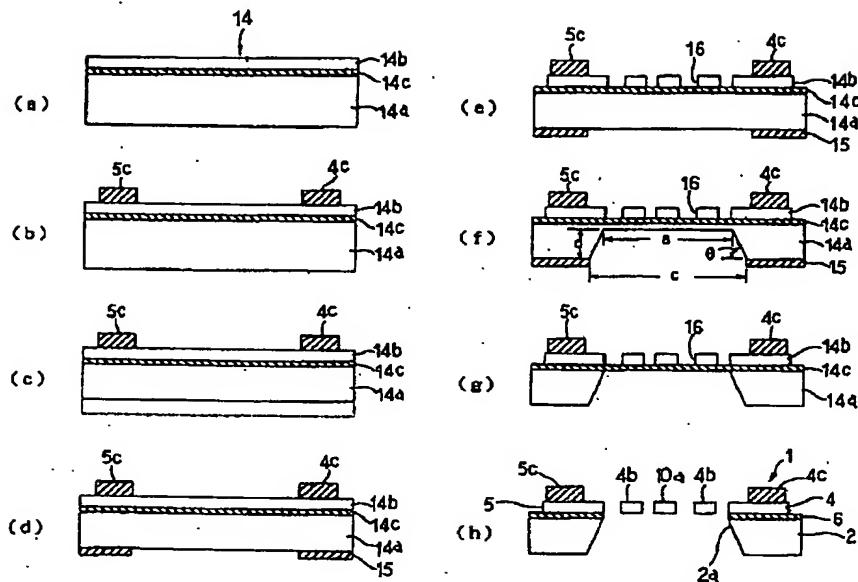
【図20】比抵抗と電圧及び電流位相差との関係を示す特性図

#### 【符号の説明】

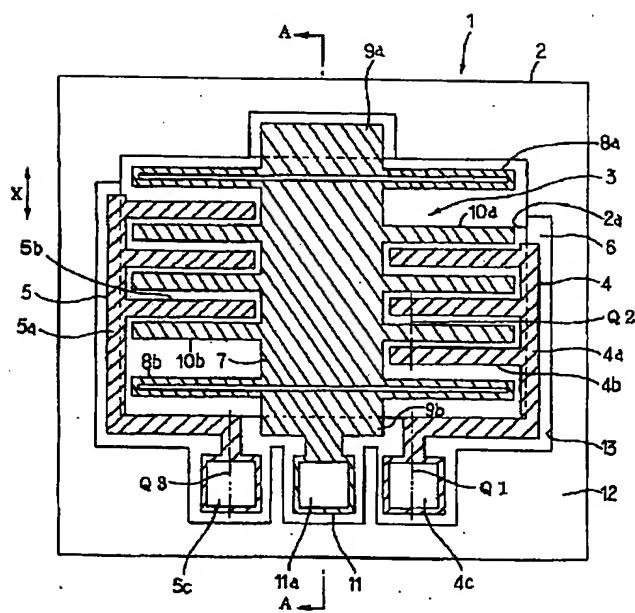
1は半導体加速度センサ、2は支持基板、2aは開口部、3は梁構造体（可動部）、4、5は固定電極構造体、4b、5bは固定電極、4c、5cは電極パッド、6は絶縁膜、7はマス部、8a、8bは梁部、9a、9bはアンカ一部、10a、10bは可動電極、11aは電極パッド、14、14'はSOI基板（半導体基板）、14aは単結晶シリコンウェハ（半導体層、第1半導体層）、14bは単結晶シリコン薄膜（半導体層、第2半導体層）、14cはシリコン酸化膜（絶縁層）、14dは不純物高濃度層、15、15'はマスク、16はトレチ、18はエッティング液、21はトレチ、21aは第1のトレチ、21bは第2のトレチ、22は表面保護膜、23は窓部、24はボンディングワイヤ、101は半導体加速度センサ、102は支持基板、103は単結晶シリコン層（半導体層）、104は梁構造体、105、106は固定電極構造体、105a、106aは固定電極用配線部、105b、106bは固定電極、105c、106cは電極パッド、107は絶縁膜、108はマス部、111a、111bは可動電極、113は可動電極用配線部、113aは電極パッド、115～117は絶縁分離トレチ、118はスイッチドキャバシタ回路、CS1は第1のコンデンサ、CS2は

第2のコンデンサを示す。

〔図 1 〕

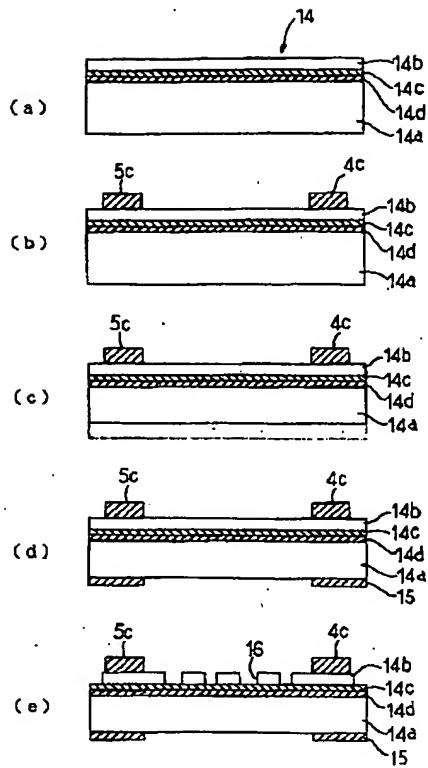


【図2】

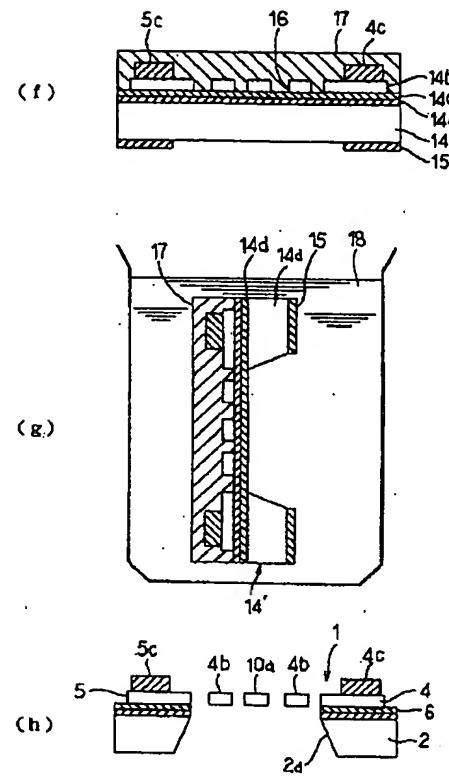


【図3】

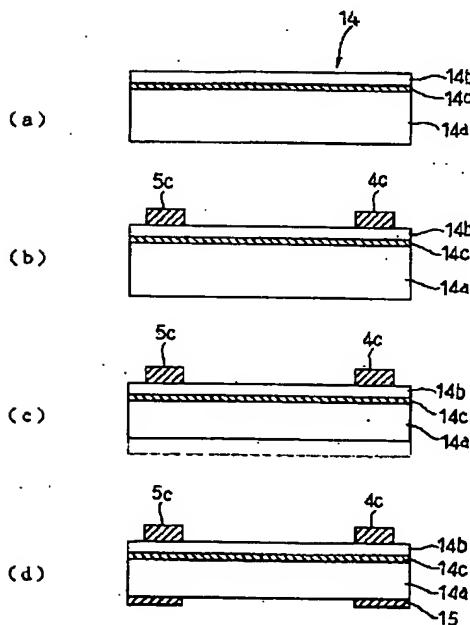
【図4】



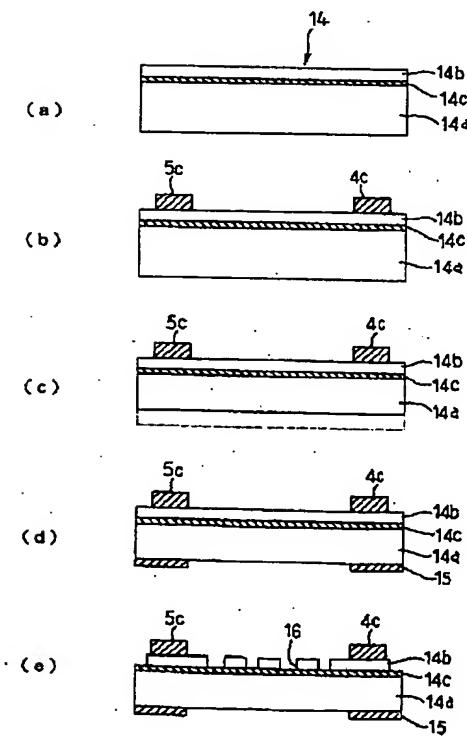
【図5】



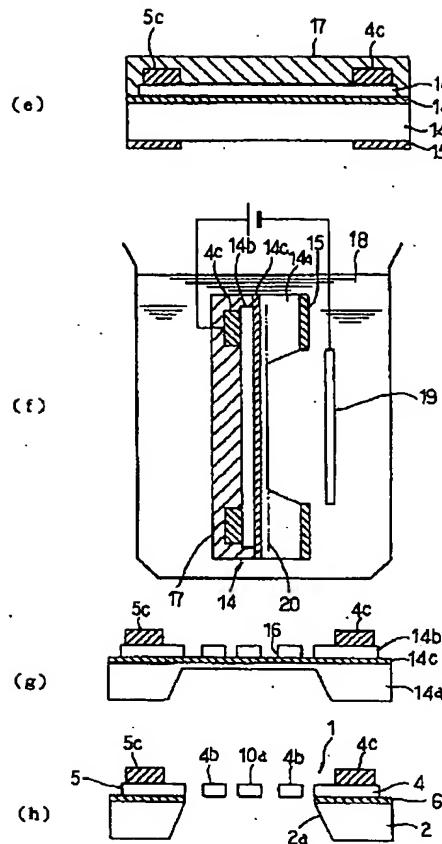
【図6】



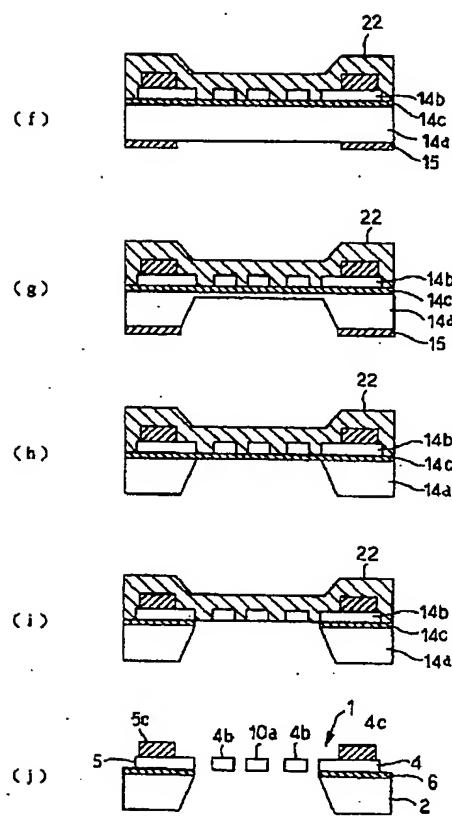
【図10】



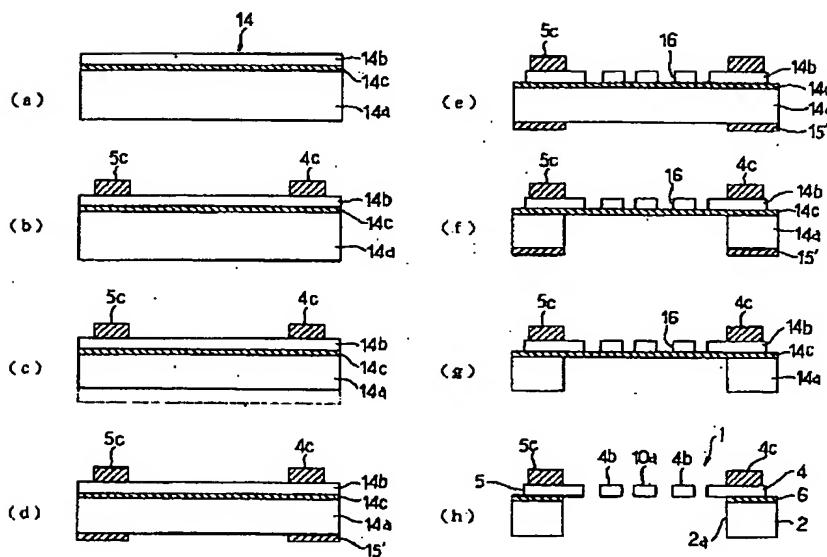
【図7】



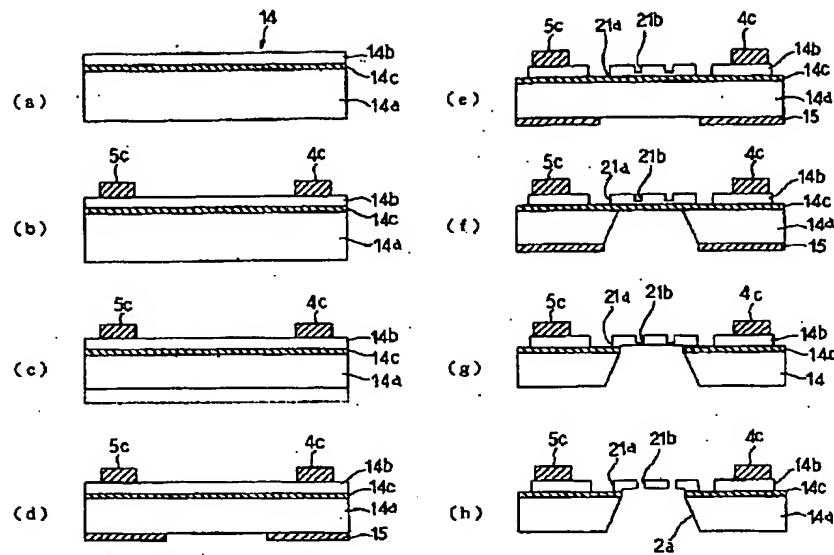
【図11】



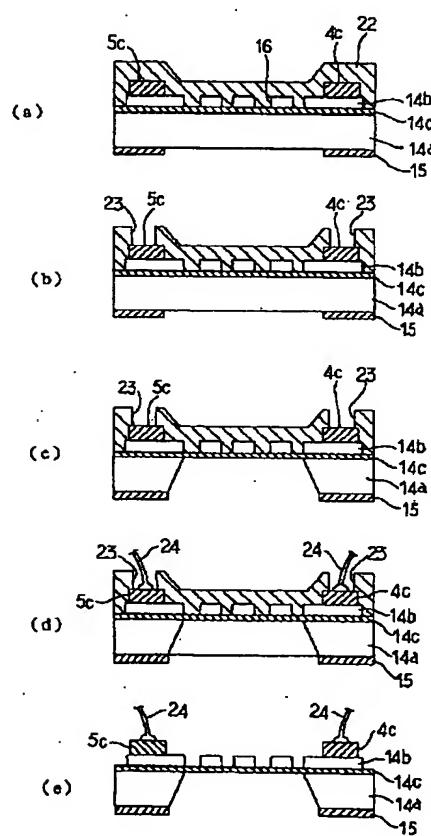
【図8】



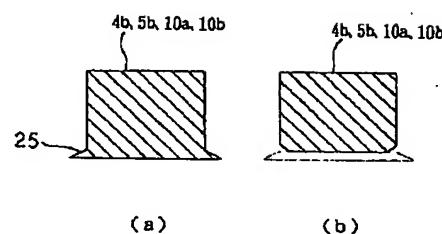
【図9】



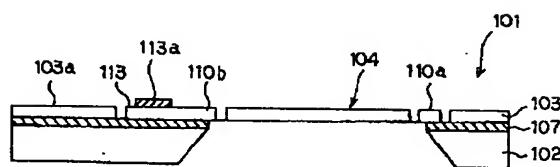
【図12】



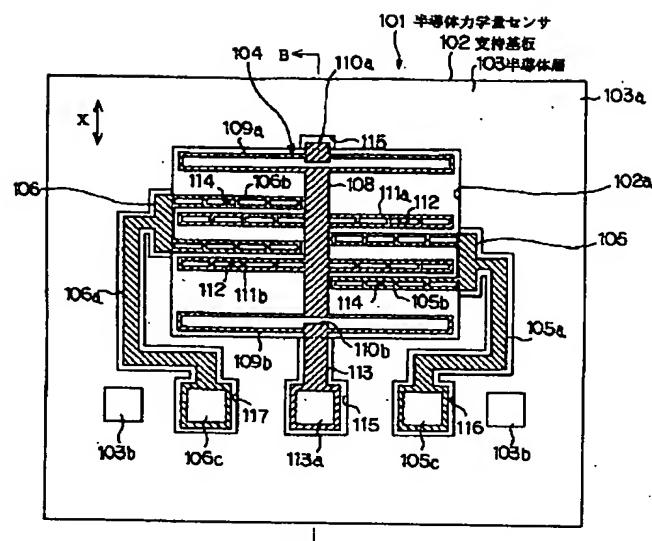
【図13】



【図15】

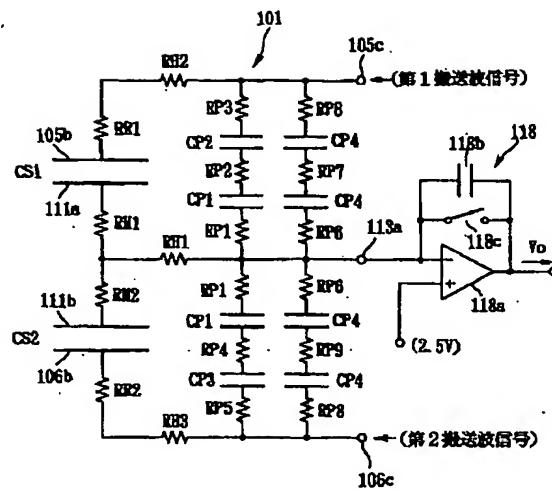


【図14】

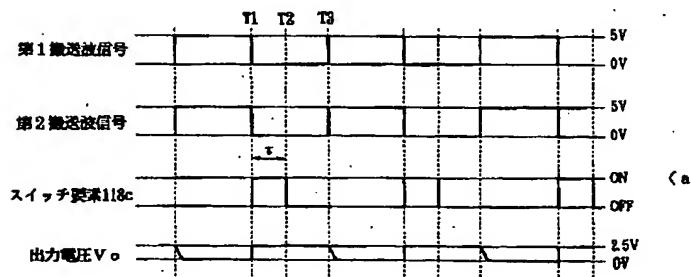


105a、106a : 固定電極用配線部  
105b、106b : 固定電極  
111a : 可動電極  
113 : 可動電極用配線部

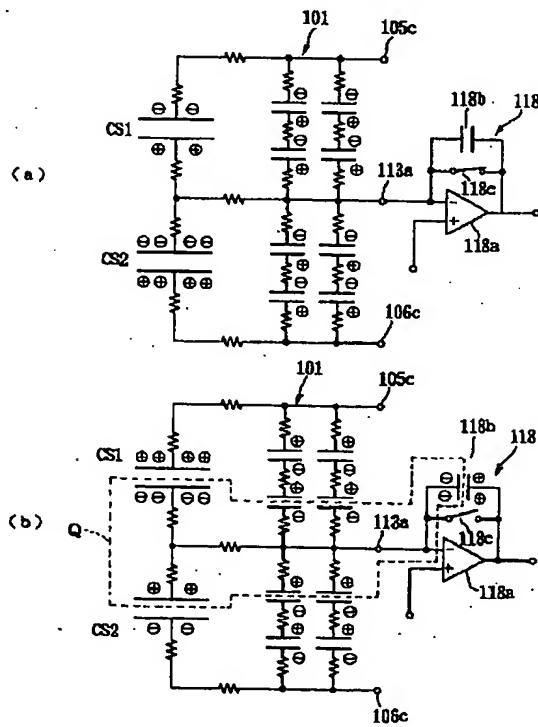
【図16】



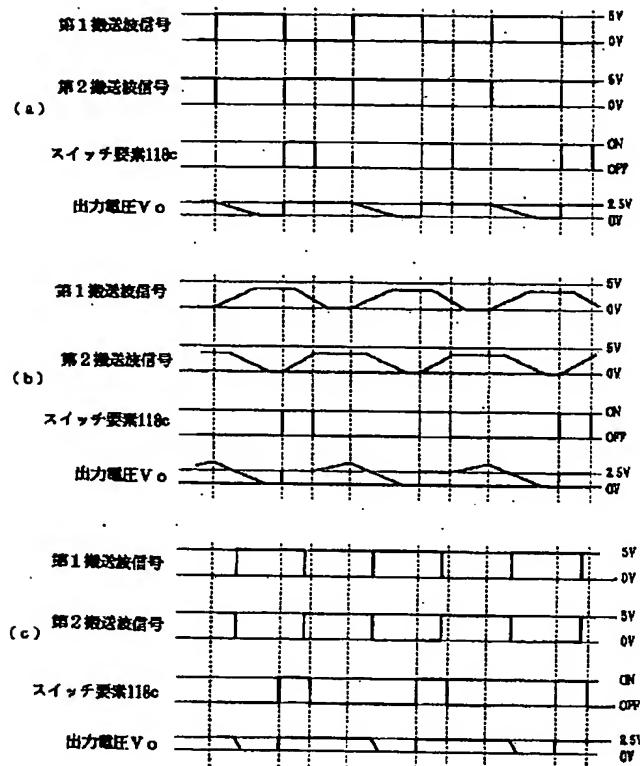
【図17】



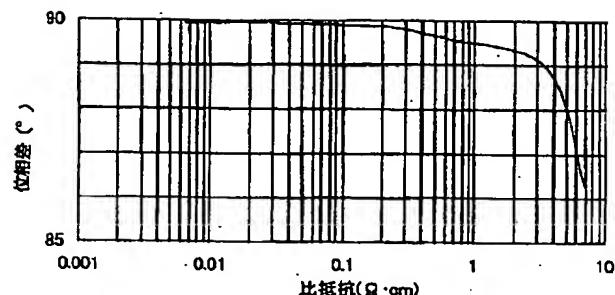
【図18】



【図19】



【図20】



## フロントページの続き

(72) 発明者 寺田 雅一  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 杉戸 泰成  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 彼末 将和  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 吉原 晋二  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 尾添 祥司  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 藤野 誠二  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 酒井 峰一  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 村田 稔  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 竹内 幸裕  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 青山 正紀  
愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

PFS NO=98369840 CC=JP

集合をクリックすると一覧を10件単位で表示します。

---

DN : JP A2 31502 (2000/01/28)

FAMILY MEMBERS

CC	PUBDAT	KD	DOC. NO.	CC	PR. DAT	YY	PR. NO.
JP	2000/01/28	A2	31502	JP	1998/12/25	98	369840
DE	1999/11/11	A1	19921241				
US	2001/10/11	AA	1029060				
US	2001/09/11	BA	6287885				
US	2002/07/23	BB	6423563				

+ JP 1998/05/08 98 126288

+DE 1999/11/11 A1 19921241

+JP 2000/01/28 A2 31502

+US 2001/10/11 AA 1029060

+US 2001/09/11 BA 6287885

+US 2002/07/23 BB 6423563

+JP 2000/09/08 A2 243977 JP 1999/02/19 99 41967

+DE 1999/11/11 A1 19921241

+US 2001/10/11 AA 1029060

+US 2001/09/11 BA 6287885

+US 2002/07/23 BB 6423563

+US 2001/09/11 BA 6287885 US 1999/05/06 99 306381

+US 2001/10/11 AA 1029060

+US 2002/07/23 BB 6423563

AB : DWT. G99-621593

S4	I P	6
S5	P	2
S6	U	0

---